

产品特性

- 信噪比 (SNR) : 79dBFS (9.7MHz, VREF=1.4V)
- 信噪比 (SNR) : 77dBFS (9.7MHz, VREF=1.0V)
- 无杂散动态范围 (SFDR) : 85dBc(至奈奎斯特频率, VREF=1.4V)
- 无杂散动态范围 (SFDR) : 91dBc(至奈奎斯特频率, VREF=1.0V)
- JESD204B Subclass1 编码, 串行数字输出
- 模拟输入范围 (可调) : 2.0 Vp-p/2.8 Vp-p
- 1.8V 电源供电
- 低功耗: 125MHz 模式每通道功耗 $\leq$ 195mW
- 微分非线性 (DNL) : ± 0.6 LSB
- 积分非线性 (INL) : ± 5.0 LSB
- 650MHz 全功率模拟输入带宽
- 串行端口控制:
 - 全芯片、独立通道省电模式 (Power Down)
 - 内建、用户自定义测试模式
 - 多芯片同步和时钟分频功能
 - 待机模式

应用范围

- 医疗成像
- 高速成像
- 无线电接受机
- 便携式测量设备

产品概述

本产品是一款 4 通道, 16 位, 125MSPS 采样率的模数转换器(Analog-to-Digital Converter, ADC), 专门针对低功耗、小尺寸和使用灵活性进行开发设计。该产品转换速率最高可达到 125MSPS, 具有优异的动态性能和超低功耗特性, 适用多种应用场景。

该 ADC 采样 1.8V 单电源供电和 LVPECL/CMOS/LVDS 兼容型采样时钟信号。无需外部基准电压源和驱动器即可满足需求。

支持独立关闭内部各通道功能; 禁用全部通道后, 典型功耗小于 14mW。该 ADC 内置多种功能, 包括可编程时钟输出、数据对齐、生成数字测试码等。可获得的数字测试码包括: 内置固定测试码和伪随机测试码, 也支持用户通过串行端口接口(SPI)自定义测试码的方式。

目 录

产品特性.....	1
应用范围.....	1
产品概述.....	1
目录.....	2
修订日志.....	3
功能框图.....	4
产品特点.....	4
技术规格.....	5
直流规格(VREF=1.4 V).....	5
直流规格(VREF=1.0 V).....	6
交流规格(VREF=1.4 V).....	7
交流规格(VREF=1.0 V).....	9
数字规格.....	10
开关规格.....	12
时序规格.....	13
绝对最大额度值.....	15
引脚配置和功能描述.....	16
典型性能参数.....	18
VREF = 1.4 V.....	18
VREF = 1.0 V.....	19
等效电路.....	21
工作原理.....	22
模拟输入端.....	22
输入共模电平.....	23
差分输入配置.....	23
基准电压.....	24
外部基准电压.....	26
时钟输入选项.....	26
输入时钟分频器.....	28
时钟占空比.....	28
抖动考虑.....	28
功耗和省电模式.....	29
数字输出.....	30
存储器映射.....	39
应用信息.....	51
外形尺寸.....	53

包装/订购信息.....54

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.5.6	SFDR单位错误更新		WW	LYL	

功能框图

本产品采用 56 引脚封装，该 ADC 额定工作范围为：-40℃到+85℃

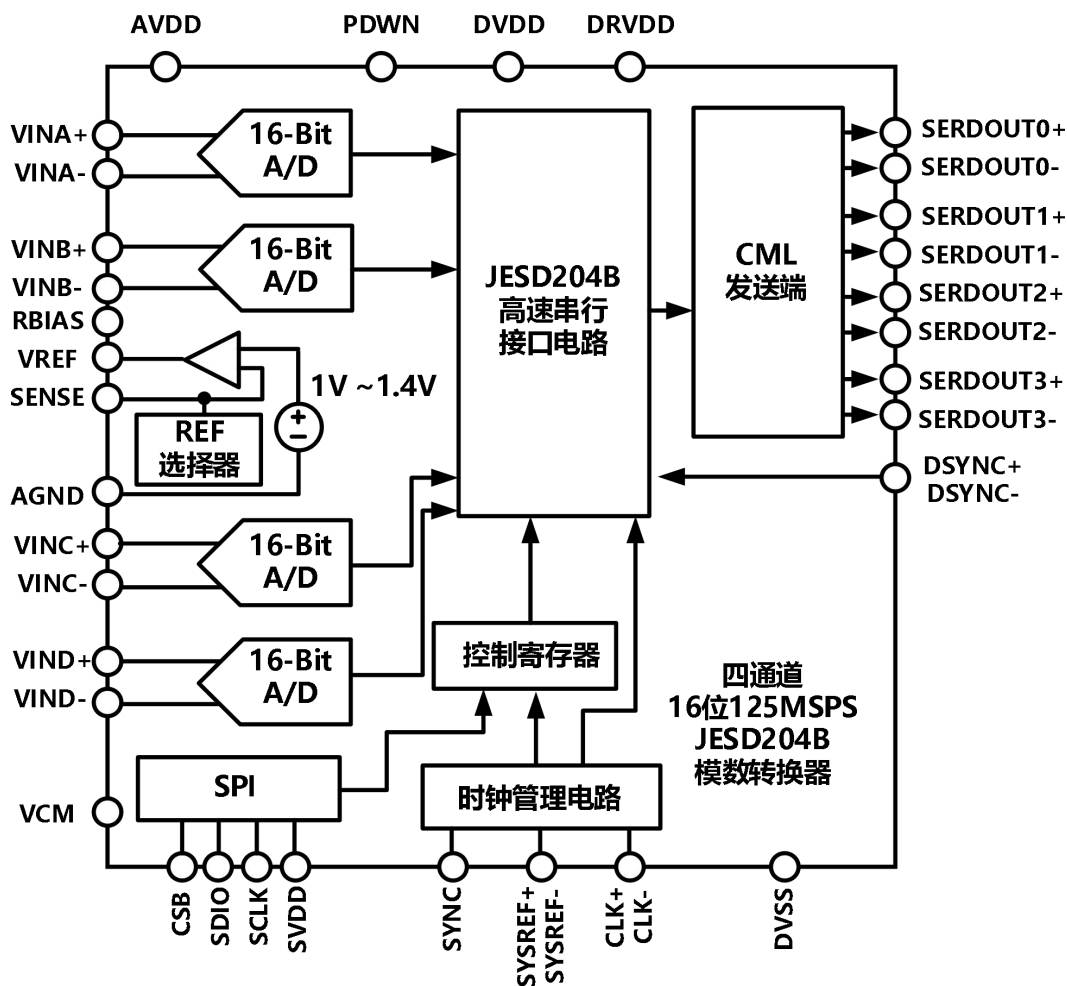


图 1. 功能框图

产品特色

1. 高度集成，一个小尺寸芯片内集成 4 个高速 16 位模数转换器。
2. 集成片上锁相环(PLL)，PLL 对 ADC 采样时钟进行倍频后为用户提供相应的 JESD204B 数据时钟。
3. 可配置的 JESD204B 输出模式支持每通道最高 6.4 Gbps 的数据速率。
4. JESD204B 输出模块支持 1/2/4 通道配置。
5. 低功耗：125 MSPS 时每通道功耗小于 200 mW。
6. SPI 控制提供灵活配置特性，满足各种系统需求。

技术规格

● 直流规格(VREF=1.4 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.8 Vp-p 满量程差分输入, 1.4 V 基准电压, 如无特殊说明, $A_{IN} = -1.0\text{dBFS}$ 。

表 1.

参数	温度	最小值	典型值	最大值	单位
分辨率	25°C		16		Bits
精度					
无失码	25°C		设计保证		
失调误差	25°C		0.2		%FSR
失调匹配	25°C		0.05		%FSR
增益误差	25°C		1.2		%FSR
增益匹配	25°C		0.95		%FSR
微分非线性(DNL)	25°C		±0.5		LSB
积分非线性(INL)	25°C		±5.0		LSB
温度漂移					
增益误差	全温		5.2		ppm/°C
失调误差	全温		-2.5		ppm/°C
内部基准电压源					
内部基准电压源	25°C		1.4		V
负载调整(1.0 mA)	25°C		4		mV
输入电阻	25°C		7.5		kΩ
输入端等效噪声					
$V_{REF} = 1.4\text{V}$	25°C		2.1		LSB rms
模拟输入					
差分输入电压	25°C		2.8		V _{p-p}
共模电压	25°C		0.9		V
共模范围	25°C	0.7		1.1	V
差分输入电阻	25°C		2.6		kΩ
差分输入电容	25°C		7		pF
电源					
AVDD	25°C		1.8		V

DVDD、DRVDD	25°C		1.8		V
I _{AVDD} (125MSPS、2 Lanes)	25°C		288		mA
I _{DVDD} (125MSPS、2 Lanes)	25°C		67		mA
I _{DRVDD} (125MSPS、2 Lanes)	25°C		83		mA
总功耗					
直流输入 (125MSPS、2 Lanes)	25°C		706		mW
正弦输入 (125MSPS、2 Lanes)	25°C		788		mW
省电模式	25°C		14		mW
待机模式	25°C		547		mW

● 直流规格(VREF=1.0 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.0 Vp-p 满量程差分输入, 1.0 V 基准电压, 如无特殊说明, A_{IN}=-1.0dBFS。

表 2.

参数	温度	最小值	典型值	最大值	单位
分辨率	25°C		16		Bits
精度					
无失码	25°C		设计保证		
失调误差	25°C		0.2		%FSR
失调匹配	25°C		0.13		%FSR
增益误差	25°C		1.0		%FSR
增益匹配	25°C		0.4		%FSR
微分非线性(DNL)	25°C		±0.5		LSB
积分非线性(INL)	25°C		±4.0		LSB
温度漂移					
增益误差	全温		3.1		ppm/°C
失调误差	全温		-3		ppm/°C
内部基准电压源					
内部基准电压源	25°C		1.0		V
负载调整(1.0 mA)	25°C		2		mV
输入电阻	25°C		7.5		kΩ
输入端等效噪声					
V _{REF} =1.4V	25°C		2.7		LSB rms
模拟输入					

差分输入电压	25°C		2.0		V_{p-p}
共模电压	25°C		0.9		V
共模范围	25°C	0.5		1.3	V
差分输入电阻	25°C		2.6		k Ω
差分输入电容	25°C		7		pF
电源					
AVDD	25°C		1.8		V
DVDD、DRVDD	25°C		1.8		V
I_{AVDD} (125MSPS、2 Lanes)	25°C		276		mA
I_{DVDD} (125MSPS、2 Lanes)	25°C		69		mA
I_{DRVDD} (125MSPS、2 Lanes)	25°C		83		mA
总功耗					
直流输入 (125MSPS、2 Lanes)	25°C		688		mW
正弦输入 (125MSPS、2 Lanes)	25°C		771		mW
省电模式	25°C		14		mW
待机模式	25°C		520		mW

● 交流规格(VREF=1.4 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.8 V_{p-p} 满量程差分输入, 1.4 V 基准电压, 如无特殊说明, $A_{IN}=-1.0dBFS$ 。

表 3.

参数	温度	最小值	典型值	最大值	单位
信噪比(SNR)					
$f_{IN} = 9.7MHz$	25°C		79.0		dBFS
$f_{IN} = 16MHz$	25°C		78.2		dBFS
$f_{IN} = 64MHz$	25°C		76.3		dBFS
$f_{IN} = 128MHz$	25°C		71.5		dBFS
$f_{IN} = 201MHz$	25°C		69.7		dBFS
$f_{IN} = 301MHz$	25°C		66.2		dBFS
信噪失真比(SINAD)					
$f_{IN} = 9.7MHz$	25°C		78.3		dBFS
$f_{IN} = 16MHz$	25°C		77.7		dBFS
$f_{IN} = 64MHz$	25°C		75.2		dBFS
$f_{IN} = 128MHz$	25°C		70.9		dBFS

$f_{IN} = 201\text{MHz}$	25°C		68.7		dBFS
$f_{IN} = 301\text{MHz}$	25°C		65.9		dBFS
有效位数(ENOB)					
$f_{IN} = 9.7\text{MHz}$	25°C		12.7		Bits
$f_{IN} = 16\text{MHz}$	25°C		12.6		Bits
$f_{IN} = 64\text{MHz}$	25°C		12.2		Bits
$f_{IN} = 128\text{MHz}$	25°C		11.5		Bits
$f_{IN} = 201\text{MHz}$	25°C		11.1		Bits
$f_{IN} = 301\text{MHz}$	25°C		10.7		Bits
无杂散动态范围(SFDR)					
$f_{IN} = 9.7\text{MHz}$	25°C		93.2		dBc
$f_{IN} = 16\text{MHz}$	25°C		90.1		dBc
$f_{IN} = 64\text{MHz}$	25°C		82.8		dBc
$f_{IN} = 128\text{MHz}$	25°C		82.3		dBc
$f_{IN} = 201\text{MHz}$	25°C		76.1		dBc
$f_{IN} = 301\text{MHz}$	25°C		82.3		dBc
最差谐波(二阶或三阶)					
$f_{IN} = 9.7\text{MHz}$	25°C		93.2		dBc
$f_{IN} = 16\text{MHz}$	25°C		90.1		dBc
$f_{IN} = 64\text{MHz}$	25°C		82.8		dBc
$f_{IN} = 128\text{MHz}$	25°C		82.3		dBc
$f_{IN} = 201\text{MHz}$	25°C		76.1		dBc
$f_{IN} = 301\text{MHz}$	25°C		82.3		dBc
最差其他谐波(二阶或三阶除外)					
$f_{IN} = 9.7\text{MHz}$	25°C		-96		dBc
$f_{IN} = 16\text{MHz}$	25°C		-92		dBc
$f_{IN} = 64\text{MHz}$	25°C		-90		dBc
$f_{IN} = 128\text{MHz}$	25°C		-89		dBc
$f_{IN} = 201\text{MHz}$	25°C		-93		dBc
$f_{IN} = 301\text{MHz}$	25°C		-90		dBc
双音互调失真(IMD):输入幅度=-7.0dBFS					
$f_{IN1}=70.5\text{MHz}, f_{IN2}=72.5\text{MHz}$	25°C		-84		dBc
串扰					

量程内串扰 ²	25°C		-93		dB
超量程串扰 ³	25°C		-89		dB
模拟输入带宽 (全功率)	25°C		650		MHz

1. $f_{IN} \geq 401\text{MHz}$ 测试时, 在 $A_{IN} = -5.0\text{dBFS}$ 条件下进行测试。
2. 一个通道输入 $f_{IN} = 70\text{MHz}$, -1.0dBFS 模拟输入且相邻通道上无输入信号。
3. 超量程定义为高于满量程范围 3dB。

● 交流规格(VREF=1.0 V)

AVDD=1.8 V, DRVDD=1.8 V, 2.0 V_{p-p} 满量程差分输入, 1.0 V 基准电压, 如无特殊说明, $A_{IN} = -1.0\text{dBFS}$ 。

表 4.

参数	温度	最小值	典型值	最大值	单位
信噪比(SNR)					
$f_{IN} = 9.7\text{MHz}$	25°C		77.4		dBFS
$f_{IN} = 16\text{MHz}$	25°C		77.1		dBFS
$f_{IN} = 64\text{MHz}$	25°C		75.3		dBFS
$f_{IN} = 128\text{MHz}$	25°C		71.9		dBFS
$f_{IN} = 201\text{MHz}$	25°C		69.2		dBFS
$f_{IN} = 301\text{MHz}$	25°C		65.8		dBFS
信噪失真比(SINAD)					
$f_{IN} = 9.7\text{MHz}$	25°C		77.3		dBFS
$f_{IN} = 16\text{MHz}$	25°C		76.9		dBFS
$f_{IN} = 64\text{MHz}$	25°C		75.1		dBFS
$f_{IN} = 128\text{MHz}$	25°C		71.6		dBFS
$f_{IN} = 201\text{MHz}$	25°C		68.5		dBFS
$f_{IN} = 301\text{MHz}$	25°C		65.6		dBFS
有效位数(ENOB)					
$f_{IN} = 9.7\text{MHz}$	25°C		12.5		Bits
$f_{IN} = 16\text{MHz}$	25°C		12.4		Bits
$f_{IN} = 64\text{MHz}$	25°C		12.2		Bits
$f_{IN} = 128\text{MHz}$	25°C		11.6		Bits
$f_{IN} = 201\text{MHz}$	25°C		11.1		Bits
$f_{IN} = 301\text{MHz}$	25°C		10.6		Bits
无杂散动态范围(SFDR)					

$f_{IN} = 9.7\text{MHz}$	25°C		97.6		dBc
$f_{IN} = 16\text{MHz}$	25°C		94.9		dBc
$f_{IN} = 64\text{MHz}$	25°C		92.5		dBc
$f_{IN} = 128\text{MHz}$	25°C		86.0		dBc
$f_{IN} = 201\text{MHz}$	25°C		77.5		dBc
$f_{IN} = 301\text{MHz}$	25°C		80.3		dBc
最差谐波(二阶或三阶)					
$f_{IN} = 9.7\text{MHz}$	25°C		-97.6		dBc
$f_{IN} = 16\text{MHz}$	25°C		-94.9		dBc
$f_{IN} = 64\text{MHz}$	25°C		-92.5		dBc
$f_{IN} = 128\text{MHz}$	25°C		-86.0		dBc
$f_{IN} = 201\text{MHz}$	25°C		-77.5		dBc
$f_{IN} = 301\text{MHz}$	25°C		-80.3		dBc
最差其他谐波(二阶或三阶除外)					
$f_{IN} = 9.7\text{MHz}$	25°C		-95		dBc
$f_{IN} = 16\text{MHz}$	25°C		-95		dBc
$f_{IN} = 64\text{MHz}$	25°C		-94		dBc
$f_{IN} = 128\text{MHz}$	25°C		-89		dBc
$f_{IN} = 201\text{MHz}$	25°C		-91		dBc
$f_{IN} = 301\text{MHz}$	25°C		-89		dBc
双音互调失真(IMD):输入幅度=-7.0dBFS					
$f_{IN1}=70.5\text{MHz}, f_{IN1}=72.5\text{MHz}$	25°C		-89		dBc
串扰					
量程内串扰 ²	25°C		-94		dB
超量程串扰 ³	25°C		-89		dB
模拟输入带宽(全功率)	25°C		650		MHz

1. $f_{IN} \geq 401\text{MHz}$ 测试时, 在 $A_{IN} = -5.0\text{dBFS}$ 条件下进行测试。
2. 一个通道输入 $f_{IN} = 70\text{MHz}$, -1.0dBFS 模拟输入且相邻通道上无输入信号。
3. 超量程定义为高于满量程范围 3dB。

● 数字规格

$AVDD = 1.8\text{V}$, $DRVDD = 1.8\text{V}$, 2.8V_{p-p} 满量程差分输入, 1.4V 基准电压, 如无特殊说明, $A_{IN} = -1.0\text{dBFS}$ 。

表 5.

参数	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
差分输入电压范围	全温	0.2		3.6	Vp-p
输入电压范围	全温	AGND-0.2		AVDD+0.2	V
输入共模电压	全温		0.9		V
输入电阻(差分)	25°C		15		kΩ
输入电容	25°C		4		pF
DSYNC 输入(DSYNC+/ DSYNC-)					
逻辑兼容	全温		LVDS		
内部共模偏置	全温		0.9		V
差分输入电压范围	全温	0.3		3.6	Vp-p
输入电压范围	全温	DGND		DVDD	V
输入共模电压范围	全温	0.9		1.4	V
高电平输入电流	全温	-5		+5	μA
低电平输入电流	全温	-5		+5	μA
输入电容	全温		1		pF
输入电阻	全温	12	16	20	kΩ
DSYSREF 输入(DSYSREF+/ DSYSREF-)					
逻辑兼容			LVDS		
内部共模偏置	全温		0.9		V
差分输入电压范围	全温	0.3		3.6	Vp-p
输入电压范围	全温	DGND		DVDD	V
输入共模电压范围	全温	0.9		1.4	V
高电平输入电流	全温	-5		+5	μA
低电平输入电流	全温	-5		+5	μA
输入电容	全温		4		pF
输入电阻	全温	8	10	12	kΩ
逻辑输入(PDWN、SYNC、SCLK)					
逻辑 1 电压范围	全温	1.2		AVDD+0.2	V
逻辑 0 电压范围	全温	0		0.8	V
输入电阻	25°C		30		kΩ

输入电容	25°C		2		pF
逻辑输入(CSB)					
逻辑 1 电压范围	25°C	1.2		AVDD+0.2	V
逻辑 0 电压范围	25°C	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		2		pF
逻辑输入(SDIO)					
逻辑 1 电压范围	25°C	1.2		AVDD+0.2	V
逻辑 0 电压范围	25°C	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		5		pF
数字输出 (SERDOUTx+, SERDOUTx-)					
逻辑兼容	全温		CML400		
差分输出电压(V _{OD})	全温	400	600	750	mV
输出失调电压(V _{OS})	全温	0.75	DRVDD/2	1.05	V

● 开关规格

AVDD=1.8 V, DRVDD=1.8 V, 2.8 Vp-p 满量程差分输入, 1.4V 基准电压, 如无特殊说明, A_{IN}=-1.0dBFS。

表 6.

参数	温度	最小值	典型值	最大值	单位
时钟参数					
输入时钟速率	全温	40		1000	MHz
转换速率		40		125	MSPS
时钟高电平脉冲宽度(t _{EH})			4		ns
时钟低电平脉冲宽度(t _{EL})			4	1.4	ns
SYNC 建立时间至时钟				-0.4	ns
SYNC 保持时间至时钟			370	600	ns
DSYSREF 建立时间至时钟(t _{REFS})4			-92	0	ps
DSYSREF 保持时间至时钟(t _{REFH})4					ps
数据输出参数					
数据输出周期或单位间隔(UI)	全温		L/(20 × M × fs)		秒
数据输出占空比	25°C		50		%
数据有效时间	25°C		0.81		UI

PLL 锁定时间(t_{LOCK})	25°C		25		μs
唤醒时间					
待机	25°C		250		ns
ADC(省电模式)	25°C		375		μs
输出(省电模式)	25°C		50		μs
DSYNC 下降沿至 K.28 首字符	全温	4			多帧
CGS 阶段的 K.28 字符持续时间	全温	1			多帧
流水线延迟					
JESD204B M4、L1 模式(延迟)	全温		23		周期 7
JESD204B M4、L2 模式(延迟)	全温		29		周期 7
JESD204B M4、L4 模式(延迟)	全温		44		周期 7
每通道的数据速率	全温			6.4	Gbps
确定性抖动(DJ)					
6.4 Gbps 时	全温		8		Ps
随机抖动(RJ)					
6.4 Gbps 时	全温		1.25		ps rms
输出上升时间/下降时间	全温		50		ps
差分端接电阻	25°C		100		Ω
孔径参数					
孔径延迟(t_A)	25°C		1		
孔径不确定性(抖动, t_J)	25°C		135		
超范围恢复时间	25°C		1		

● 时序规格

表 7.

参数	说明	限值	单位
SPI 时序要求 参见图 70			
t_{DS}	数据与 SCLK 上升沿之间的建立时间	2	ns(最小值)
t_{DH}	数据与 SCLK 上升沿之间的保持时间	2	ns(最小值)
t_{CLK}	SCLK 周期	40	ns(最小值)
t_S	CSB 与 SCLK 之间的建立时间	2	ns(最小值)
t_H	CSB 与 SCLK 之间的保持时间	2	ns(最小值)
t_{HIGH}	SCLK 高电平脉冲宽度	10	ns(最小值)
t_{LOW}	SCLK 低电平脉冲宽度	10	ns(最小值)

t_{EN_SDIO}	相对 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态需要时间	10	ns(最小值)
t_{DIS_SDIO}	相对 SCLK 下降沿, SDIO 引脚从输出状态切换到输入状态需要时间	10	ns(最小值)

时序图

SPI 寄存器设置参见“存储器映射寄存器表”部分

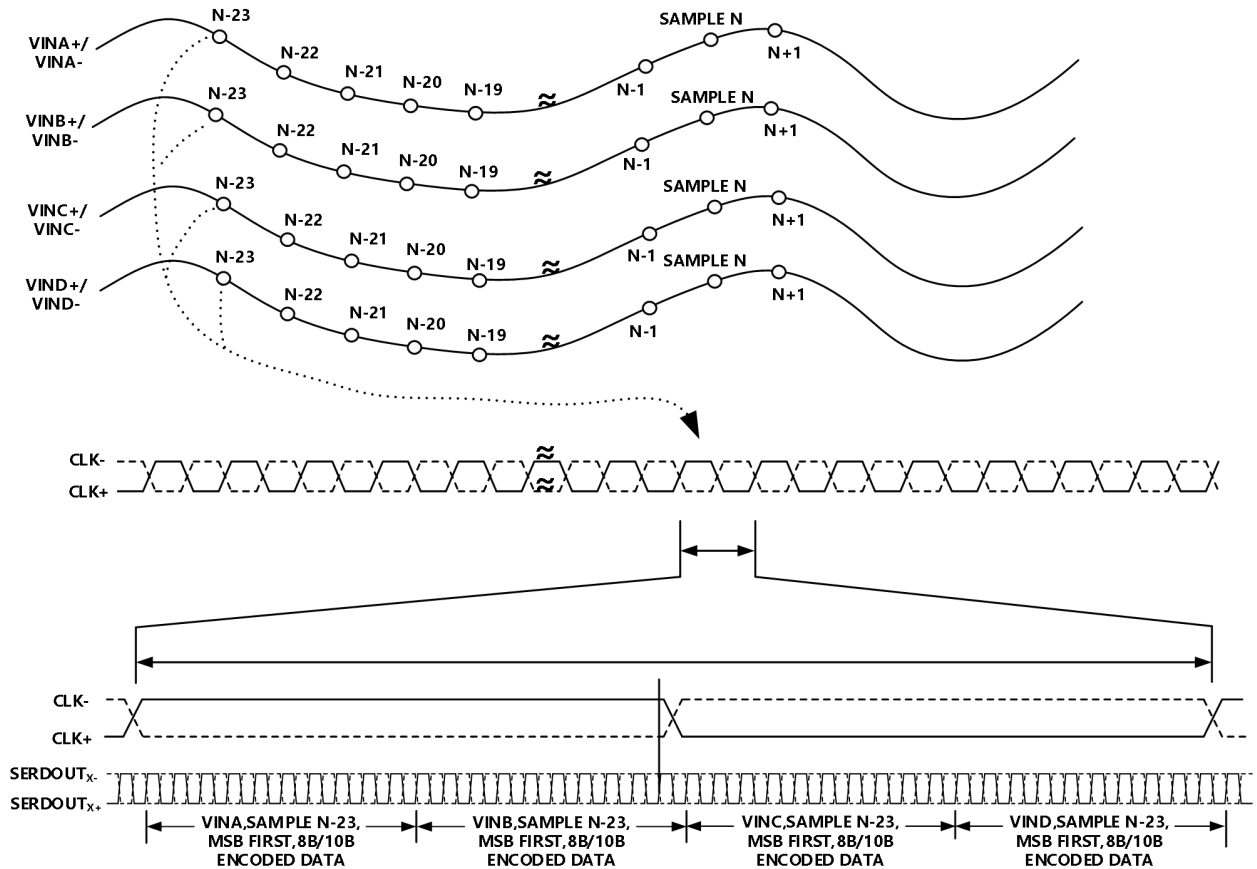


图 2.数据输出时序

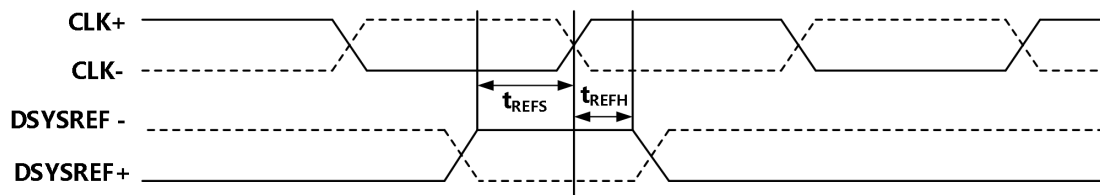


图 3.DSYSREF+/DSYSREF-建立和保持时间(时钟分频器=1)

绝对最大额度值

参数	额定值
电气	-0.3 V 至 +2.0 V
AVDD 至 AGND	-0.3 V 至 +2.0 V
DRVDD 至 AGND	-0.3 V 至 +2.0 V
DVDD 至 DVSS	-0.3 V 至 +2.0 V
SVDD 至 AGND	-0.3 V 至 +2.0 V
数 字 输 出 至 AGND	-0.3 V 至 +2.0 V
CLK+、CLK-至 AGND	-0.3 V 至 +2.0 V
VINx+、VINx-至 AGND	-0.3 V 至 +2.0 V
DSYSREF+、DSYSREF-至 AGND DSYNC-、DSYNC+至 AGND	-0.3 V 至 +2.0 V
SCLK、SDIO、CSB、PDWN 至 AGND SYNC 至 AGND	-0.3 V 至 +3.9 V
RBIAS 至 AGND	-0.3 V 至 +2.0 V
VCM、VREF、SENSE 至 AGND	
环境	
工作温度范围(环境)	-40°C 至 +85°C
最高结温	150°C
引脚温度(焊接, 10 秒)	300°C
存储温度范围(环境)	-65°C 至 +150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻： θ_{JA} 的测试条件为有实接地层的四层印刷电路板(PCB，仿真)。裸露焊盘焊接到 PCB 地。

封装类型	气流速度 (m/s)	θ_{JA} (°C/W)	θ_{JB} (°C/W) ¹	θ_{JC} 顶部 (°C/W) ¹	θ_{JC} 底部 (°C/W) ¹
56 引脚 LFCSP、8mm×8 mm	0	22.4	7.7	7.42	2.29
	1	19.0	不适用	不适	不适用
	2.5	17.6	不适用	不适用	不适用

ESD 警告



静电敏感器件

所有引脚在静电实验（人体模型）下被证实可以防护 2KV 静电冲击；

尽管该器件设计有专有静电保护器件，但在高能量冲击下器件依然会损坏。

引脚配置和功能描述

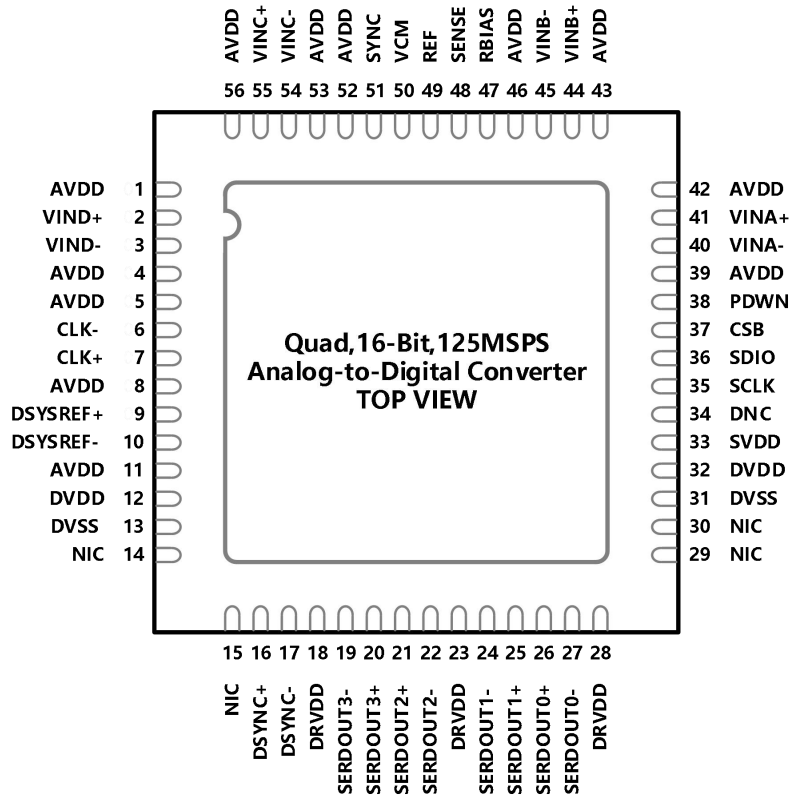


图 4.引脚配置(顶视图)

INL 和 DNL 测试曲线如图 3 所示。

输入模拟输入频率 100MHz、采样率 250MSPS 的 FFT 如图 4 所示。输入模拟输入频率 170MHz、采样率 250MSPS 的 FFT 如图 5 所示。输入模拟输入频率 230MHz、采样率 250MSPS 的 FFT 如图 6 所示。输入模拟输入频率 300MHz、采样率 250MSPS 的 FFT 如图 7 所示。带宽测试如图 8 所示。

表 10.引脚功能描述

引脚标号	引脚名称	说明
0	AGND,裸露焊盘	模拟地，封装底部的裸露热焊盘为器件提供模拟地
1,4,5,8,11,39,42,43,46,52,53,56	AVDD	1.8V 模拟电源引脚
2	VIND+	ADC D 通道模拟输入(+)
3	VIND-	ADC D 通道模拟输入(-)
6,7	CLK-,CLK+	差分时钟，PECL，LVDS 或者 1.8V CMOS 输入
9	DSYSREF+	JESD204B LVDS SYSREF 低电平输入有效(+)

10	DSYSREF-	JESD204B LVDS SYSREF 低电平输入有效(-)
12,32	DVDD	数字电源引脚
13,31	DVSS	数字地引脚
14,15,29,30	NIC	内部不连接, 需要时可接地
16	DSYNC+	JESD204B LVDS SYNC 低电平输入有效(+)
17	DSYNC-	JESD204B LVDS SYNC 低电平输入有效(-)
18,23,28	DRVDD	数字输出驱动电源引脚
19	SEROUT3-	Lane3 数字输出(-)
20	SEROUT3+	Lane3 数字输出(+)
21	SEROUT2+	Lane2 数字输出(+)
22	SEROUT2-	Lane2 数字输出(-)
24	SEROUT1-	Lane1 数字输出(-)
25	SEROUT1+	Lane1 数字输出(+)
26	SEROUT0+	Lane0 数字输出(+)
27	SEROUT0-	Lane0 数字输出(-)
33	SVDD	SPI 电源引脚
34	DNC	不连接, 请勿连接该引脚
35	SCLK	SPI 时钟输入
36	SDIO	SPI 数据输入和输出
37	CSB	SPI 片选信号, 低电平有效使能, 内置 30kΩ上拉电阻
38	PDWN	数字输入, 高电平=关断; 低电平=工作
40	VINA-	ADC A 通道模拟输入(-)
41	VINA+	ADC A 通道模拟输入(+)
44	VINB+	ADC B 通道模拟输入(+)
45	VINB-	ADC B 通道模拟输入(-)
47	RBIAS	设置模拟电路偏置, 引脚连接到地 10kΩ电阻
48	SENSE	基准电压模式选择
49	VREF	基准电压输入和输出引脚
50	VCM	模拟输入共模电压
51	SYNC	数字输入, 时钟分频器的同步输入
54	VINC-	ADC C 通道模拟输入(-)
55	VINC+	ADC C 通道模拟输入(+)

典型性能参数

● $V_{REF} = 1.4V$

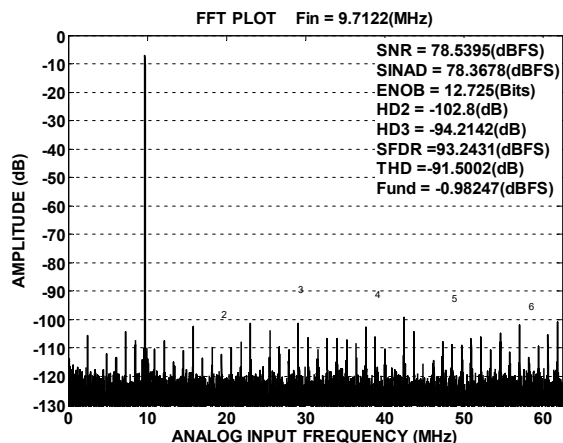


图 5.单音 32K(fin=9.7MHz, fs=125MSPS)

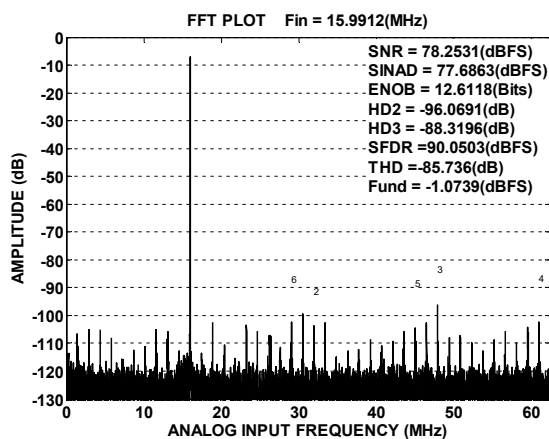


图 6.单音 32K(fin=16MHz, fs=125MSPS)

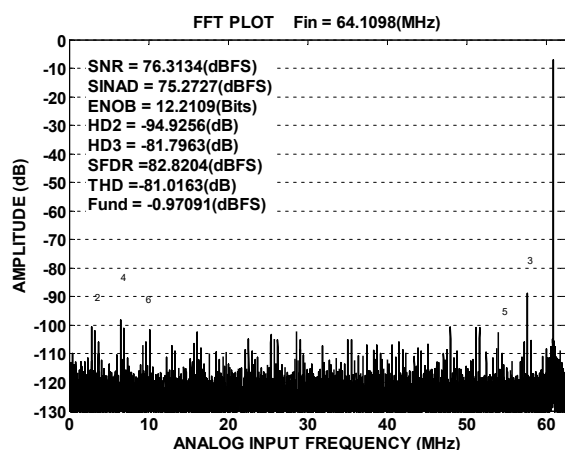


图 7.单音 32K(fin=64MHz, fs=125MSPS)

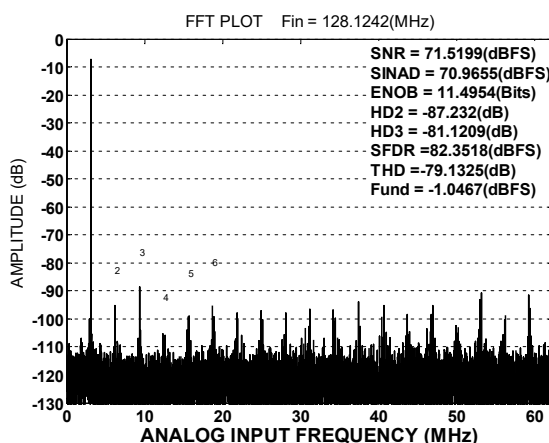


图 8.单音 32K(fin=128MHz, fs=125MSPS)

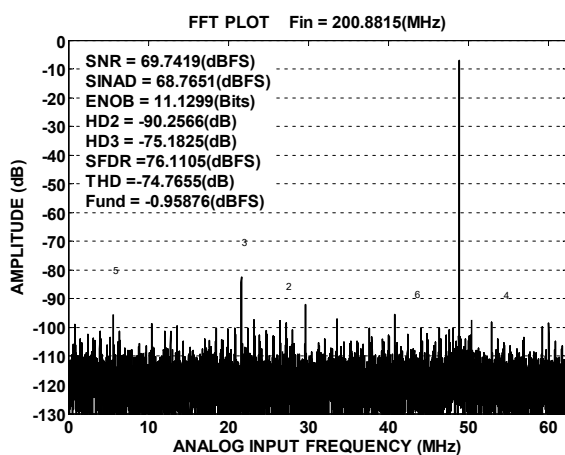


图 9.单音 32K(fin=201MHz, fs=125MSPS)

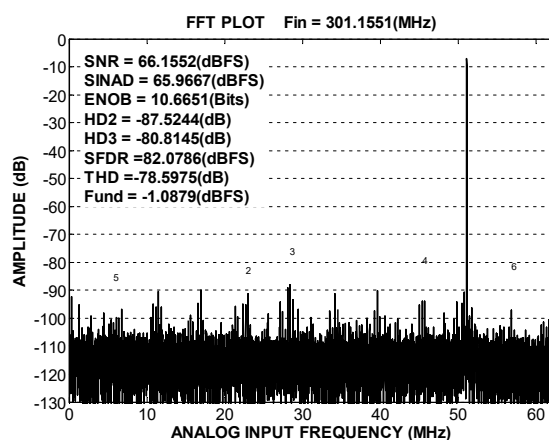


图 10.单音 32K(fin=301MHz, fs=125MSPS)

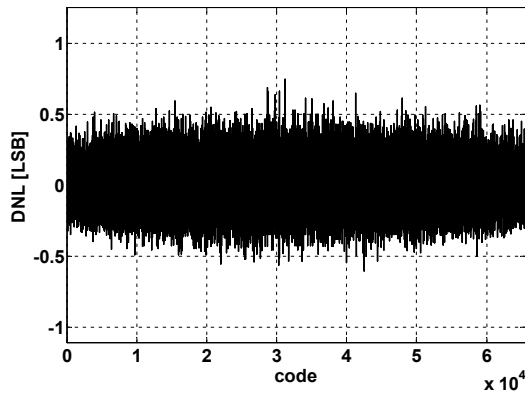


图 11.微分非线性($f_{IN}=9.7\text{MHz}$, $f_S=125\text{MSPS}$)

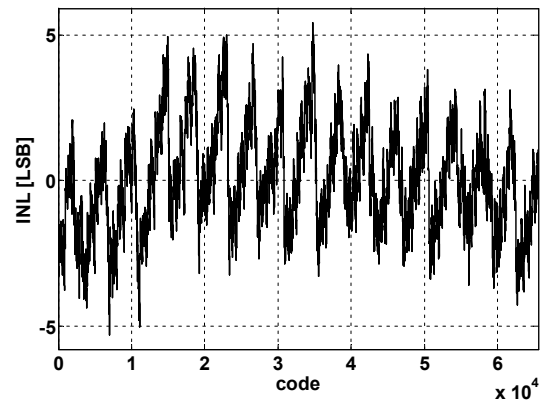


图 12.积分非线性($f_{IN}=9.7\text{MHz}$, $f_S=125\text{MSPS}$)

● $V_{REF} = 1.0\text{V}$

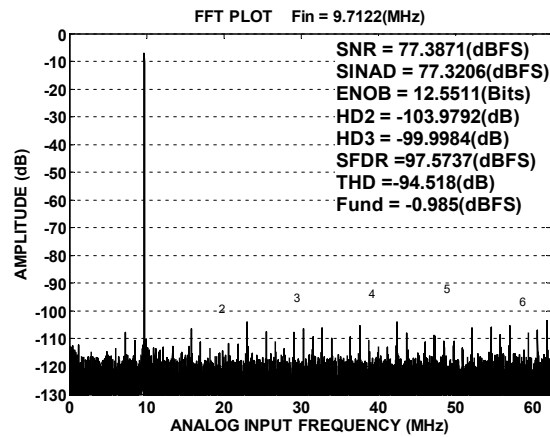


图 13.单音 32K($f_{IN}=9.7\text{MHz}$, $f_S=125\text{MSPS}$)

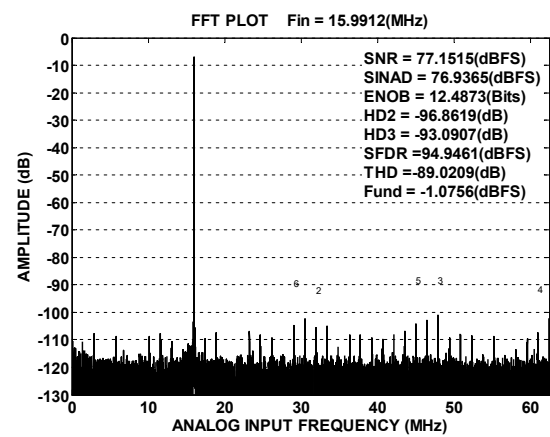


图 14.单音 32K($f_{IN}=16\text{MHz}$, $f_S=125\text{MSPS}$)

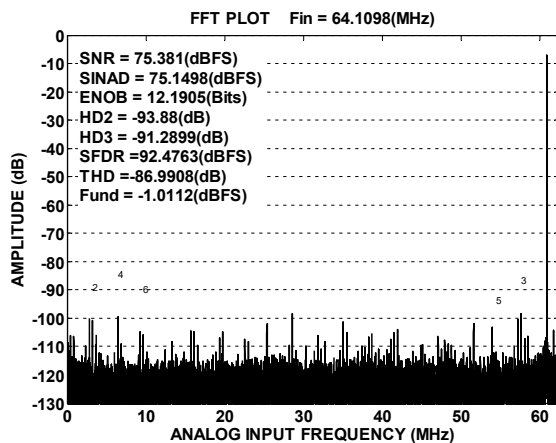


图 15.单音 32K($f_{IN}=64\text{MHz}$, $f_S=125\text{MSPS}$)

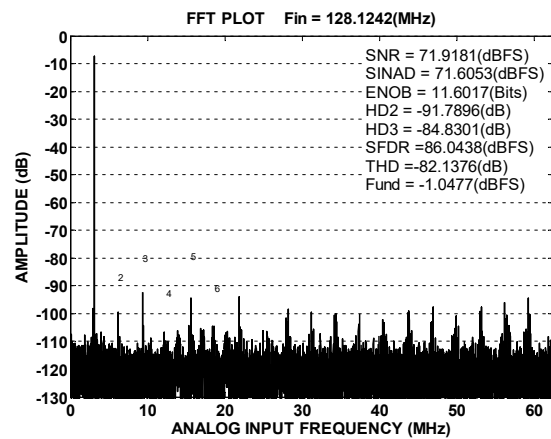


图 16.单音 32K($f_{IN}=128\text{MHz}$, $f_S=125\text{MSPS}$)

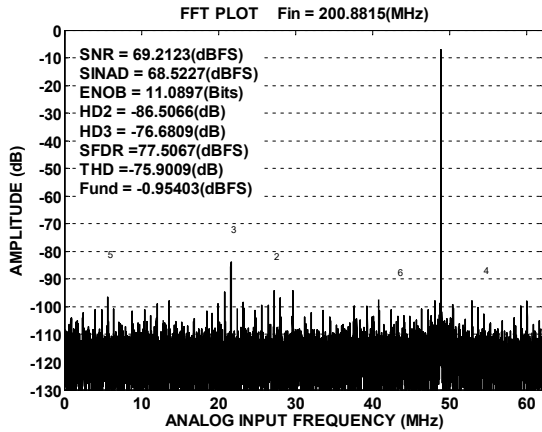


图 17.单音 32K($f_{IN}=201\text{MHz}$, $f_S=125\text{MSPS}$)

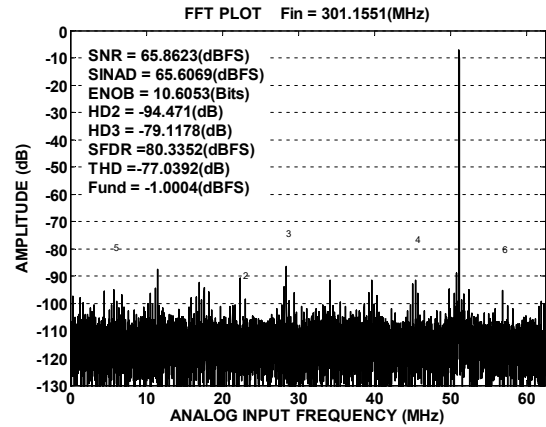


图 18.单音 32K($f_{IN}=301\text{MHz}$, $f_S=125\text{MSPS}$)

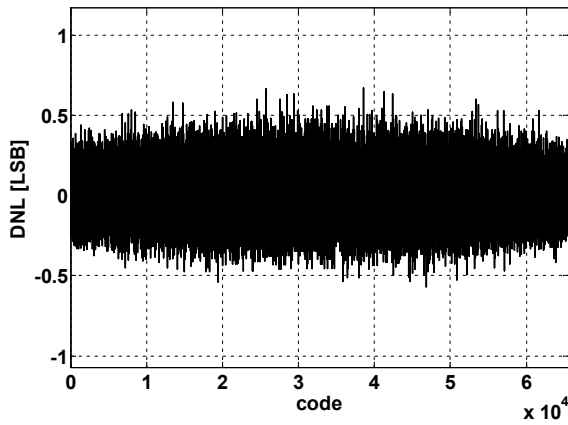


图 19.微分非线性($f_{IN}=10\text{MHz}$, $f_S=125\text{MSPS}$)

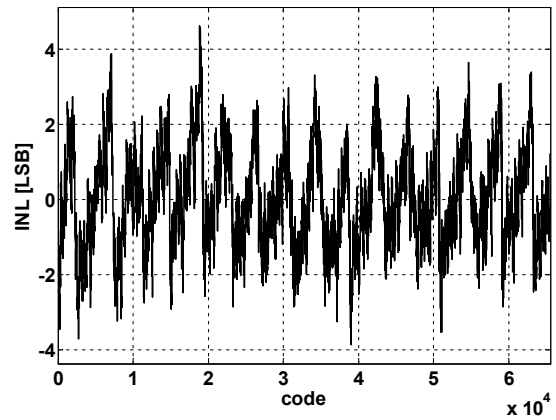


图 20.积分非线性($f_{IN}=10\text{MHz}$, $f_S=125\text{MSPS}$)

等效电路

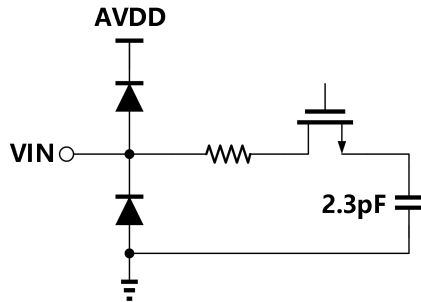


图 21.等效模拟输入电路图

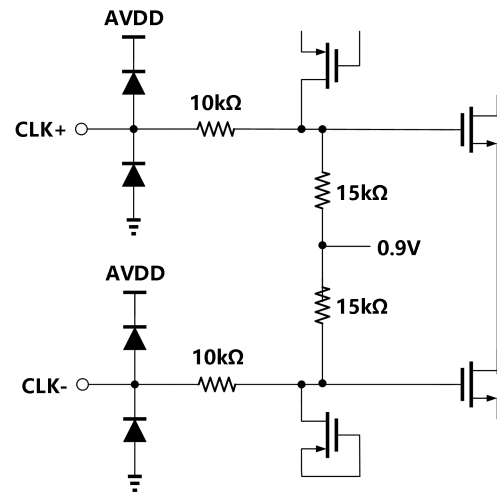


图 22.等效时钟输入电路

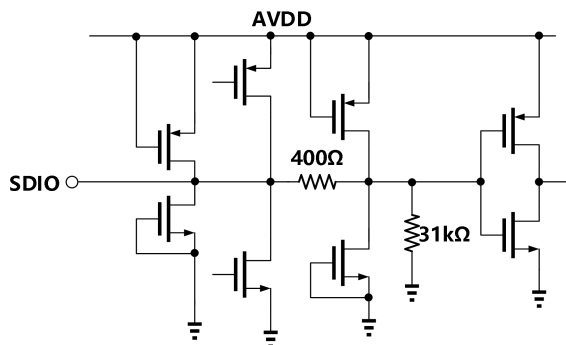


图 23.等效 SDIO 输入电路图

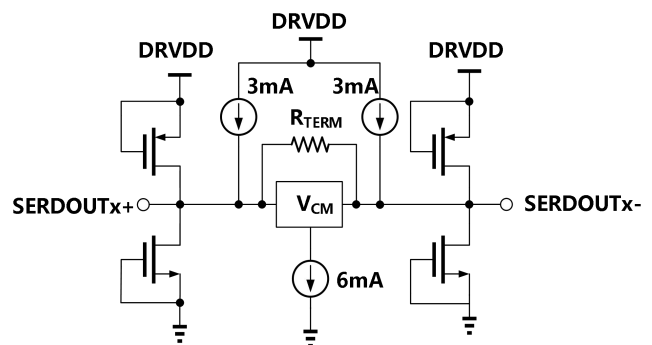


图 24.等效 SERDOUT± 电路

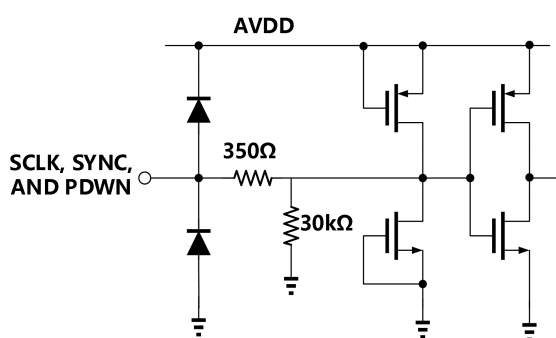


图 25.等效 SCLK, SYNC, PDWN 电路

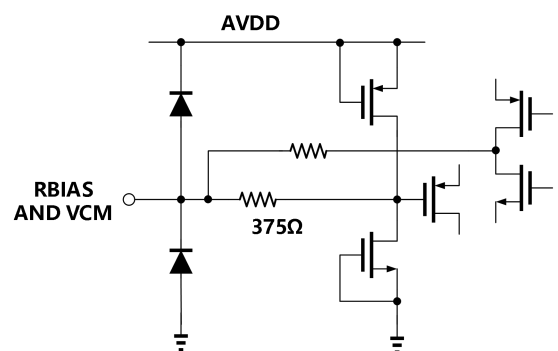


图 26.等效 RBIAS,VCM 电路

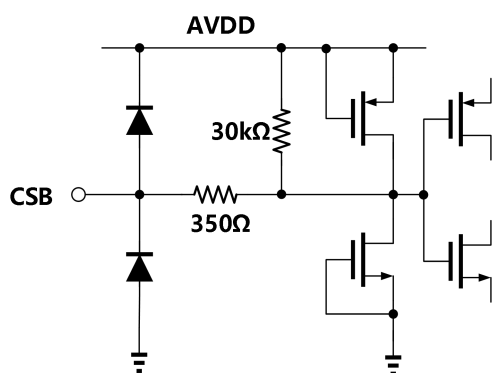


图 27.等效 CSB 输入电路

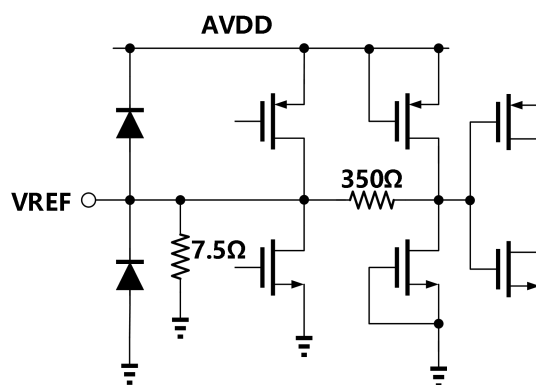


图 28.等效 VREF 电路

工作原理

产品内核使用多级流水线型 ADC 架构，各级提供一位冗余位消除粗量化比较器的失调误差。各级流水线量化结构在数字域由移位加法器重构形成 16 位转换结果。串化器以十六位输出格式发送该转换结果。

除最后一级以外，流水线的每一级都由一个低分辨率 Flash 型 ADC、与之相连的一个开关电容 DAC 和一个级间余量放大器(例如乘法数模转换器[MDAC])组成。余量放大器放大重构 DAC 输出与 Flash 型输入之差，以便提供给流水线的下一级。为了帮助对 Flash 误差进行数字校正，每一级设定了一位冗余量。最后一级仅由一个 Flash 型 ADC 组成。

● 模拟输入端

本产品模拟输入端为一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

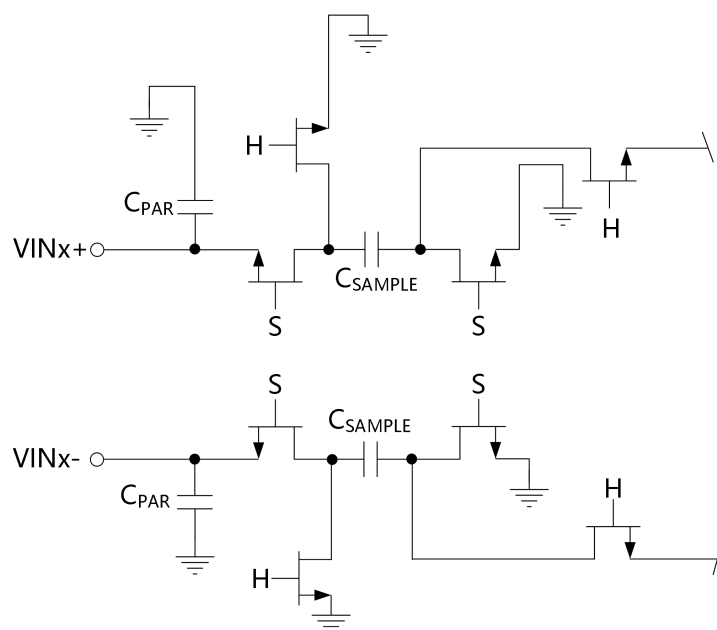


图 29.开关电容输入电路

输入电路根据时钟信号在采样模式和保持模式之间切换(见图 29)。当输入电路切换到采样模式时, 信号源必须能够对采样电容充电, 并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻, 帮助降低从驱动源输出级注入的峰值瞬态电流。此外, 输入端的每一侧可以使用低 Q 电感或铁氧体磁珠, 以减小模拟输入端的高差分电容, 从而实现 ADC 的最大带宽。在高中频(IF)下驱动转换器前端时, 必须使用低 Q 电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容, 以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器, 用来限制无用的宽带噪声。

● 输入共模电平

本产品的模拟输入端无内部直流偏置, 在交流耦合应用中, 用户必须提供外部偏置。为了获得最佳的动态性能, 用户必须对器件进行配置, 使输入共模电平 $V_{CM}=AVDD/2$ 。本器件在更宽的输入共模范围内也能获得合理的性能, 如图 30 和图 31 所示。

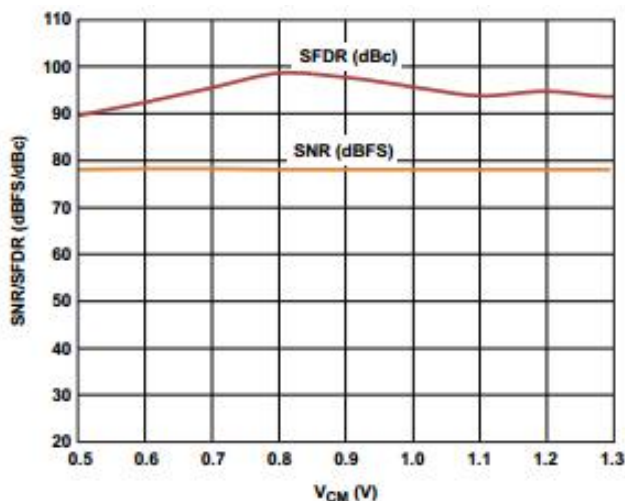


图 30. SNR/SFDR 与输入共模电平(V_{CM})的关系
($f_{IN}=9.7\text{MHz}$, $f_{SAMPLE}=125\text{MSPS}$, $V_{REF}=1.0\text{V}$)

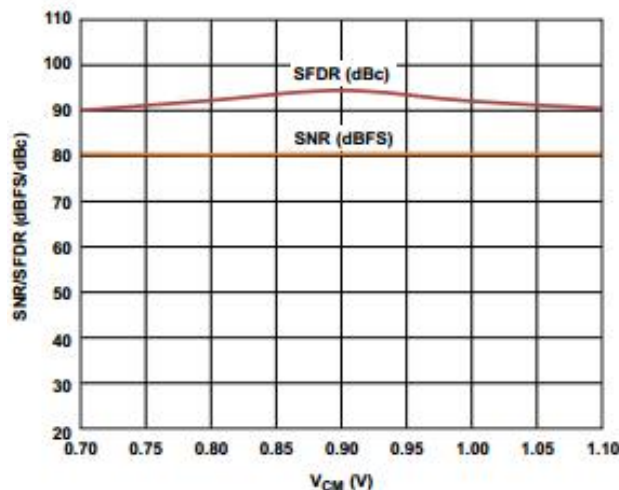


图 31. SNR/SFDR 与输入共模电平(V_{CM})的关系
($f_{IN}=9.7\text{MHz}$, $f_{SAMPLE}=125\text{MSPS}$, $V_{REF}=1.4\text{V}$)

本产品通过引脚 VCM 提供片内基准电压, 必须使用一个 0.1F 电容将 VCM 引脚旁路到地。

在差分配置中, 将器件输入设置为最大范围可以实现最高的信噪比(SNR)性能, 对于本产品输入范围取决于基准电压, 超过输入范围性能将急剧恶化。

● 差分输入配置

有多种有源和无源方式可以有效驱动本产品, 通过差分方式驱动可以抑制偶次谐波从未获得最佳性能。

在基带应用中, 利用差分巴伦配置驱动本产品能够为 ADC 提供出色的性能和灵活接口 (参考图 32)。

在 SNR 为关键参数的应用中, 因为绝大部分放大器的噪声性能不足以满足本产品的真实性能, 所以输入配置要求采用差分变压器耦合(参考图 33)。

以上两种应用中的 C 电容值需要和输入频谱配合使用, 建议转换高频模拟输入信号时减小该电容容值或者移除该电容。

不建议单端输入方式驱动本产品。

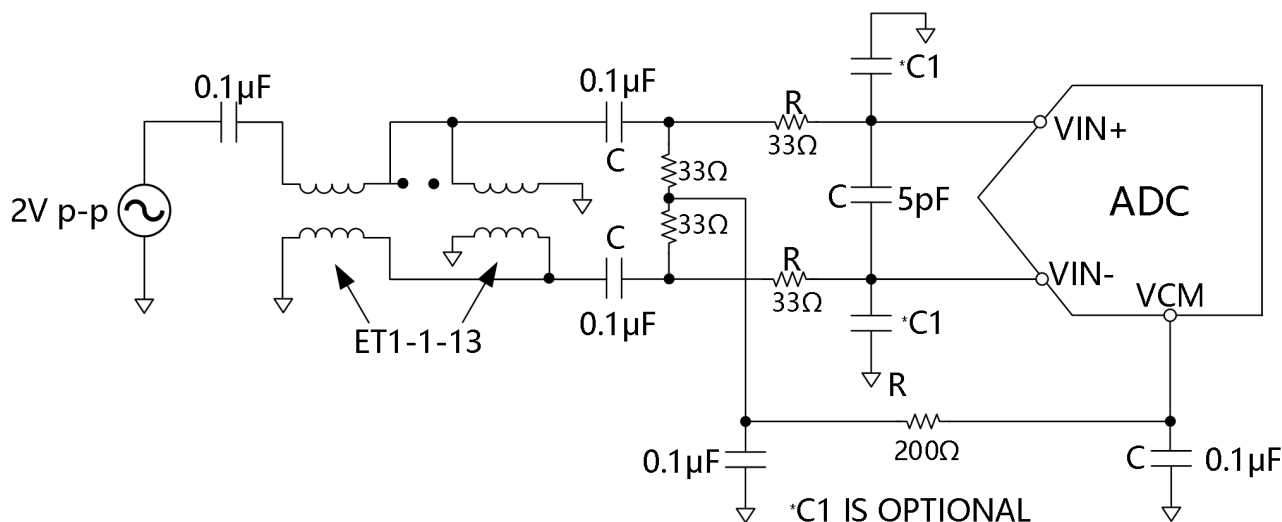


图 32. 差分双巴伦配置

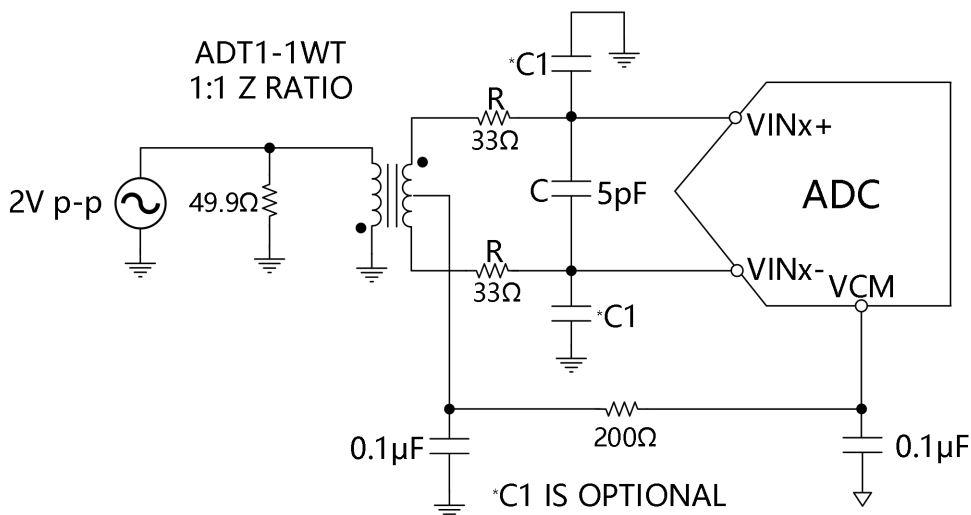


图 33. 差分变压器耦合

● 基准电压

本产品内置稳定、精确的基准电压源。VREF 可以利用内部 1.0 V 基准电压、外部施加的 1.0 V 至 1.4 V 基准电压或作用于内部基准电压的外部电阻分压器来配置，产生用户可选的基准电压。基准电压源模式说明参见“内部基准电压连接”部分和“外部基准电压”部分。VREF 引脚应通过外部一个低等效串联电阻(ESR)1.0μF 电容和一个低 ESR 0.1μF 陶瓷电容的并联旁路至地。

本产品的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成三种可能的模式之一。如果 SENSE 引脚接地，则基准电压放大器开关与内部电阻分压器相连(见图 34)，因而将 VREF 引脚电压 V 设为 1.0 V。如果 SENSE 引脚连接到外部电阻分压器(见图 35)，则 VREF 定义为：

$$V_{ref}=0.5 \times (1 + R_2/R_1)$$

其中， $7 \text{ k}\Omega \leq (R_1 + R_2) \leq 10 \text{ k}\Omega$

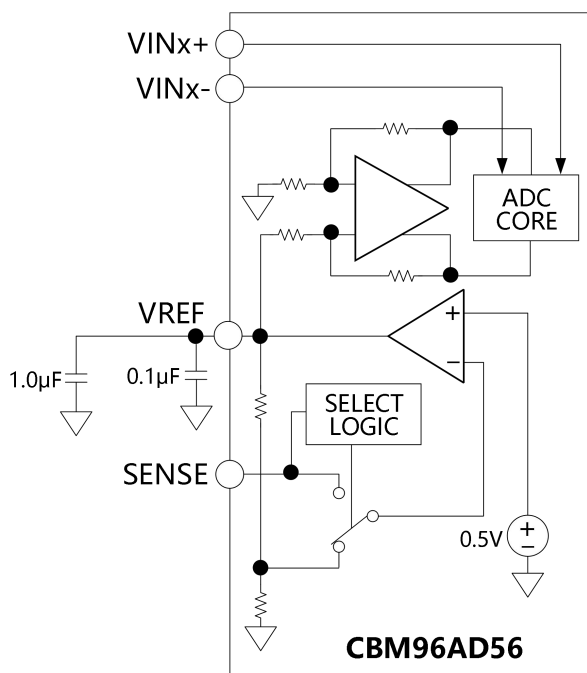


图 34.基准电压配置 1

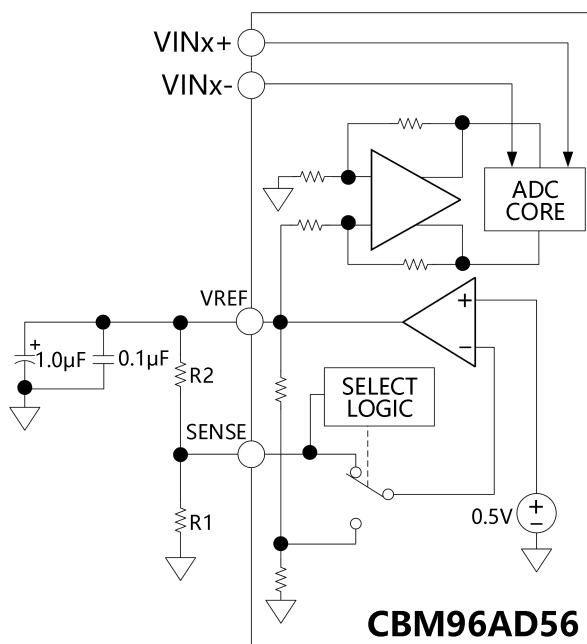


图 35.基准电压配置 2

如需利用本产品的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图 36 和图 37 显示负载如何影响内部基准电压。

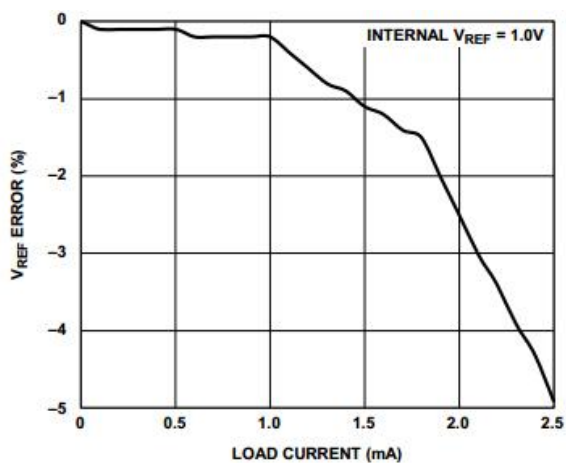


图 36. VREF 误差(内部 VREF=1.0V)与负载电流关系

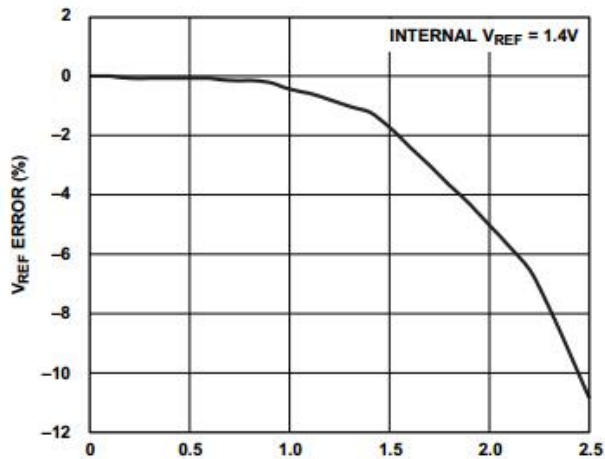


图 37. VREF 误差(内部 VREF=1.4V)与负载电流关系

● 外部基准电压

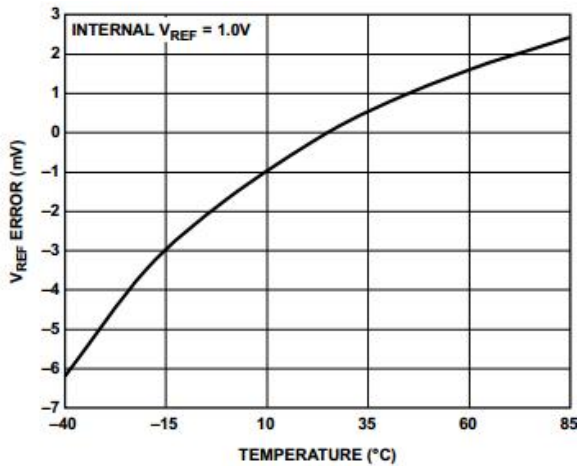


图 38. VREF 误差与温度关系(VREF=1.0V 典型漂移)

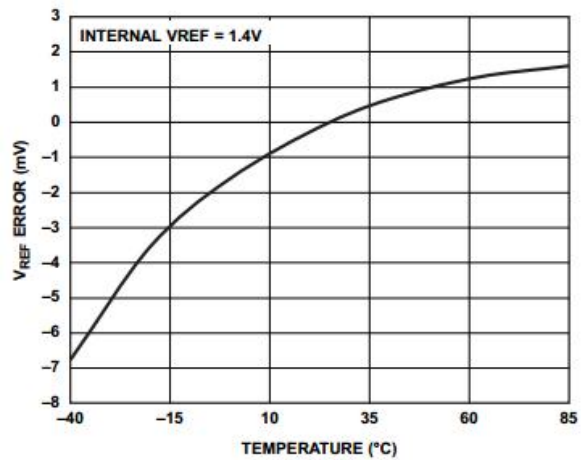


图 39. VREF 误差与温度关系(VREF=1.0V 典型漂移)

必须采用外部基准电压才可能进一步提高 ADC 增益精度、改善热漂移特性。图 38 和图 39 显示内部基准电压源分别在 1.0V 模式和 1.4V 模式下的典型漂移特性。将 SENSE 引脚与 AVDD 相连时，可以禁用内部基准电压源，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于 7.5 kΩ 负载。内部缓冲器为 ADC 内核生成正、负满量程基准电压。不建议悬空 SENSE 引脚。

● 时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为本产品采样时钟输入端(CLK+ 和 CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到 CLK+ 和 CLK- 引脚内。这两个引脚有内部偏置，无需外部偏置。

● 时钟输入选项

本产品具有灵活的时钟输入结构。CMOS、LVDS、LVPECL 或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。图 10 和图 11 显示两种为本产品提供时钟信号的首选方法(内部时钟分频前的时钟速率可达 1GHz)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。对于 125MHz 至 1GHz 的时钟频率，建议采用射频巴伦配置；对于 40MHz 至 200MHz 的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级绕组上的肖特基二极管可以将输入到本产品中的时钟信号限制为约差分 0.8V 峰峰值(见图 40 和图 41)。

这样，既可以防止时钟的大电压摆幅馈通至本产品的其它部分，还可以保留信号的快速上升和下降时间，这一点对实现低抖动性能来说非常重要。但是，当频率高于 500MHz 时，二极管电容会产生影响。必须小心选择适当的信号限幅二极管。

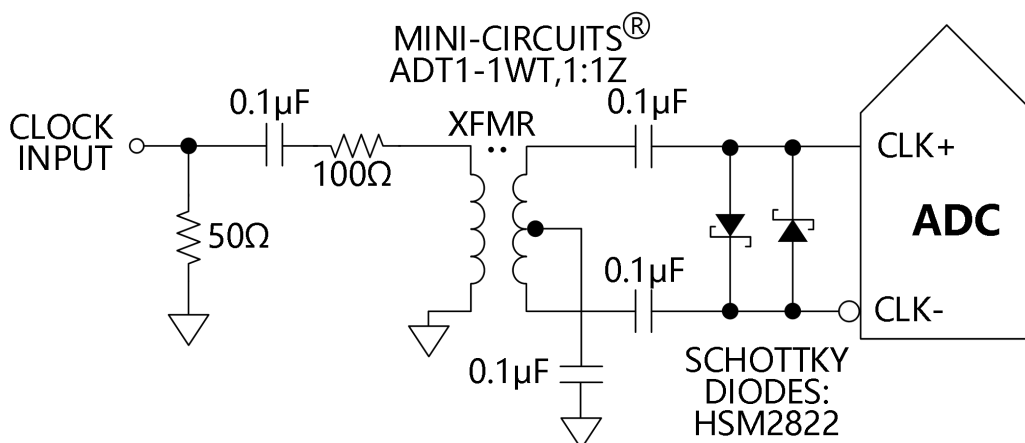


图 40. 变压器耦合差分时钟(频率可达 200MHz)

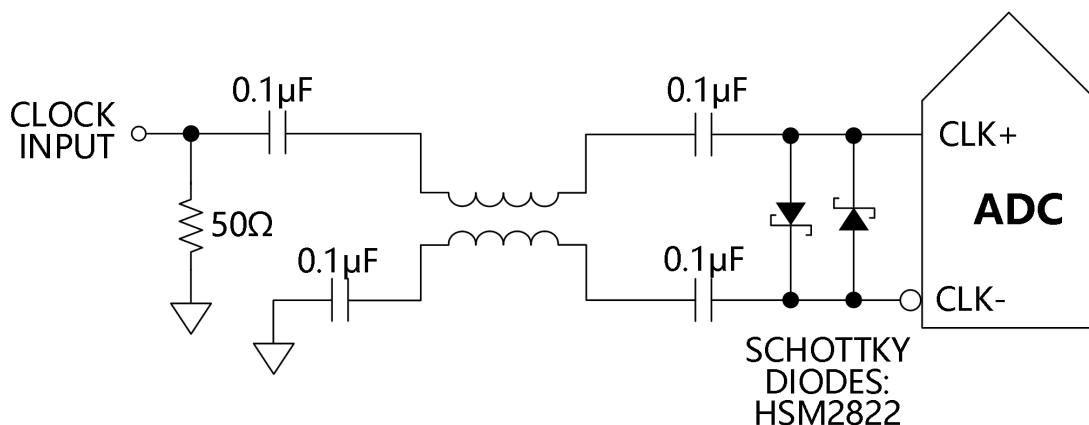


图 41. 巴伦耦合差分时钟(频率可达 1GHz)

如果没有低抖动的时钟源，那么，另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚(如图 42 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 时钟驱动器具有出色的抖动性能。

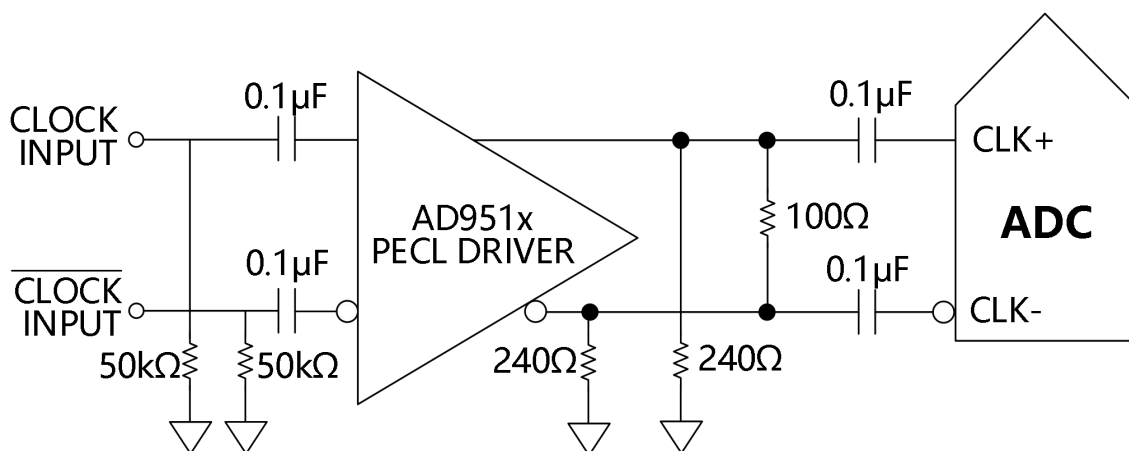


图 42. 差分 PECL 采样时钟(频率可达 1GHz)

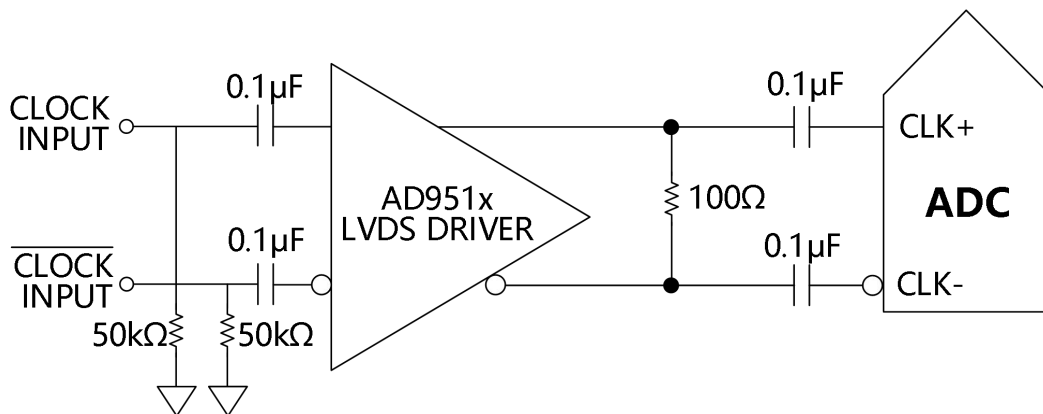


图 43. 单端 1.8 V CMOS 输入时钟(频率可达 200 MHz)

● 输入时钟分频器

本产品内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。利用外部 SYNC 输入信号，可同步本产品时钟分频器。通过对寄存器 0x109 的位 0 和位 1 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

● 时钟占空比

典型的高速 ADC 利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 $\pm 5\%$ 。

本产品内置一个占空比稳定器 (DCS)，可对非采样边沿（下降沿）进行重新定时，并提供标称占空比为 50% 的内部时钟信号。当时钟输入占空比偏离标称 50% 占空比的幅度大于 $\pm 5\%$ 额定值时，该特性可最大程度减少性能的下降。使能 DCS 功能可显著改善 30% 至 45% 和 55% 至 70% 的时钟输入占空比的噪声和失真性能。

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。在时钟速率动态改变的应用中，必须考虑与该环路相关的时间常量。在 DCS 环路重新锁定 输入信号前，都需要等待 1.5 μs 至 5 μs 的时间。

● 抖动考虑

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。中频欠采样应用对抖动尤其敏感（见图 44）。

当孔径抖动可能影响本产品的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与 ADC 输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

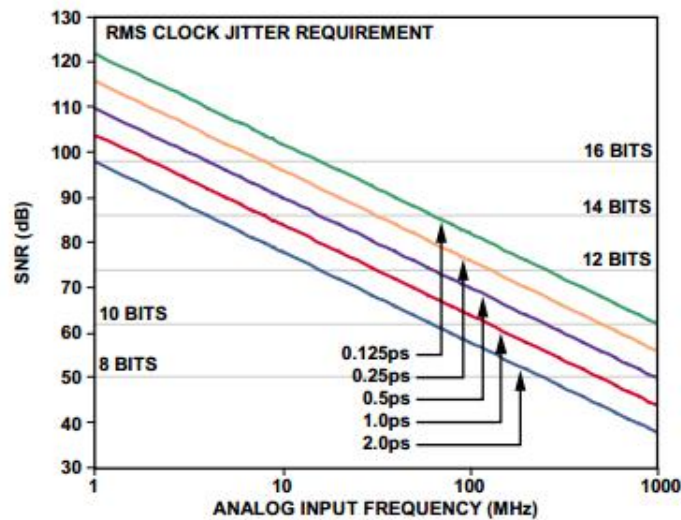


图 44. 理想信噪比与模拟输入频率和抖动的关系

● 功耗和省电模式

如图 45 和图 46 所示，本产品的功耗与其采样速率成比例关系。通过 SPI 端口或将 PDWN 引脚置位高电平，可使本产品进入省电模式。在省电模式下，ADC 的典型功耗为 14 mW。省电模式下，输出驱动器处于高阻抗状态。将 PDWN 引脚置位低电平时，本产品返回正常工作模式。注意，PDWN 以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电源电压。

在省电模式下，通过关闭基准电压源、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入省电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于省电模式的时间有关；处于省电模式的时间越短，则相应的唤醒时间越短。使用 SPI 端口接口时，用户可将 ADC 置于省电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息，请参见“存储器映射”部分。

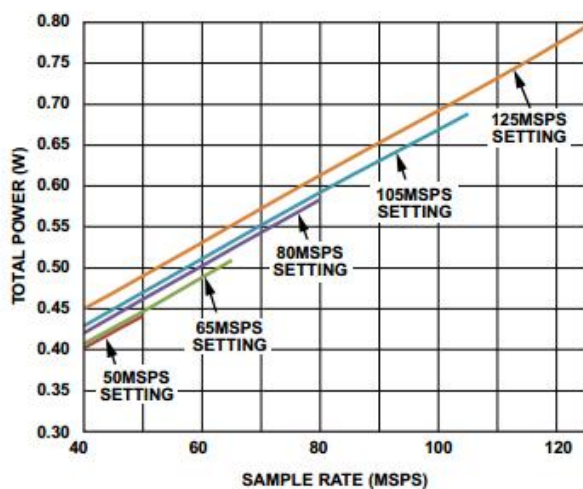


图 45. 总功耗与 f_{SAMPLE} 的关系图
($f_{\text{IN}}=9.7\text{MHz}$, 4 通道, $V_{\text{REF}}=1.4\text{ V}$)

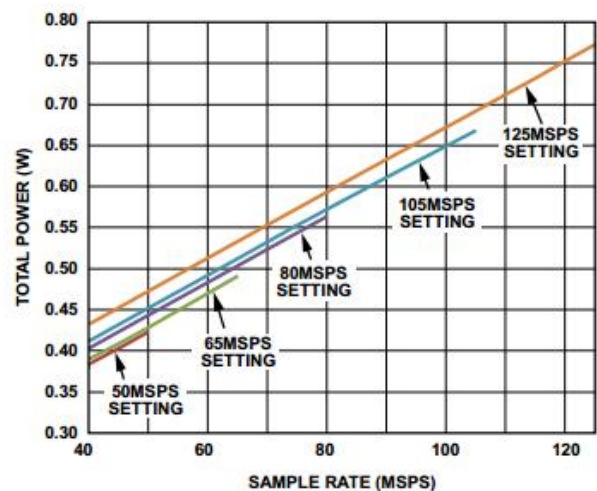


图 46. 总功耗与 f_{SAMPLE} 的关系
($f_{\text{IN}}=9.7\text{ MHz}$, 4 通道, $V_{\text{REF}}=1.0\text{ V}$)

● 数字输出

• JESD204B 发送顶层描述

本产品数字输出采用 JEDEC 标准(标准号: JESD204B, 数据转换器串行接口)。JESD204B 是本产品通过串行接口(最高 6.4Gbps 链路速度)连接数字处理设备的协议。JESD204B 接口的优势包括: 数据接口路由由所需电路板空间更少, 以及转换器和逻辑器件的封装更小。本产品支持单通道、双通道和四通道接口。

• JESD204B 概述

JESD204B 数据发送模块 JTX 可将来自 ADC 的并行数据组合成数据帧, 并使用 8b/10b 编码以及可选数据加扰技术, 输出串行数据。在初始链路的建立过程中, 使用特殊字符可支持通道同步; 而额外的同步则在随后的数据流中实现。需要使相匹配的外部接收机锁定在串行数据流上, 并恢复数据和时钟。有关 JESD204B 接口的更多信息, 请参见 JESD204B 标准。

本产品 JESD204B 发送模块将四个 ADC 的输出映射到链路上。链路可配置为使用单路、双路或四路串行差分输出, 称为通道。JESD204B 规范用多个参数来定义链路, JESD204B 发射机(本产品的输出)和接收机的这些参数必须匹配。

• JESD204B 链路可通过下列参数描述:

- ◆ S=传送的样本/单个转换器/帧周期(本产品的值为 1)
- ◆ M=转换器数/转换器(本产品的值为 4)
- ◆ L=通道数/转换器(本产品的值为 1、2 或 4)
- ◆ N=转换器分辨率(本产品的值为 16)
- ◆ N' =每个样本的总位数(本产品的值为 16)
- ◆ CF=控制字数/帧时钟周期/转换器(本产品的值为 0)
- ◆ CS=控制位数/转换样本(本产品的值为 0)
- ◆ K=每个多帧的帧数(可在本产品上配置)
- ◆ HD=高密度模式(本产品的值为 0)
- ◆ F=8 位字/帧(本产品的值为 2、4 或 8, 取决于相应 L 的值为 4、2 或 1)
- ◆ C=控制位(超量程、上溢、下溢; 本产品默认模式不提供该特性)
- ◆ T=结束位(本产品默认模式不提供该特性)
- ◆ SCR=加扰器使能/禁用(可在本产品上配置)
- ◆ FCHK=JESD204B 参数的校验和(自动计算并存储在寄存器映射中)

图 57 显示本产品 JESD204B 链路的简化框图。本产品默认配置为使用四个转换器和一个通道。本产品支持其它配置, 如将两个或四个转换器的输出组合成单通道, 使得四个转换器的数据通过两个通道输出。可以改变 0、1、2、3 条数字输出路径的映射。这些模式可通过 SPI 寄存器映射中的快速配置寄存器进行设置, 并且提供额外的自定义选项。

默认情况下, 本产品每个转换器的 16 位字被分为两个 8 位字(数据位为 8 位)。第一个 8 位字包括位 0(MSB)到位 7, 第二个 8 位字包括位 8 到位 15(LSB)。

可对生成的两个 8 位字进行加扰。加扰为可选；该选项可在传输相似的数字数据模式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法，由方程 $1+x^{14}+x^{15}$ 定义。接收机中的解扰器也必须使用加扰器多项式的自同步版本。

之后，这两个 8 位字通过 8b/10b 编码器进行编码。8b/10b 编码器将 8 个数据位(1 个 8 位字)编码为一个 10 位的符号。图 58 显示 16 位的数据是如何从 ADC 中输出、两个 8 位字如何加扰，以及 8 位字如何被编码为两个 10 位符号。图 58 显示了默认的数据格式。

在数据链路层，除 8b/10b 编码外，还使用字符替换，以便接收机监控帧对齐。字符替换发生在帧和多帧的边界处，并且它的实现取决于该过程发生在哪个边界上，以及是否使能了加扰。

若禁用了加扰，则采用以下措施。如果多帧中最后一帧的最后一个加扰 8 位字等于上一帧的最后一个 8 位字，则发射机以控制字符/A/=K28.3/替换最后那个 8 位字。对于多帧中的其它帧而言，如果帧内的最后一个 8 位字等于上一帧的最后一个 8 位字，则发射机以控制字符/F/=K28.7/替换最后那个 8 位字。

若使能了加扰，则采用以下措施。如果多帧中最后一帧的最后一个 8 位字等于 0x7C，则发射机以控制字符/A/=K28.3/替换最后那个 8 位字。对于多帧中的其它帧而言，如果最后一个 8 位字等于 0xFC，则发射机以控制字符/F/=K28.7/替换最后那个 8 位字。

JESD204B 接口的更多信息，请参见 JEDEC 标准(标准号：JESD204B，2011 年 7 月)。5.1 部分的内容包括传输层和数据格式的详细信息；5.2 部分的内容包括加扰和解扰。

• JESD204B 同步详解

本产品是一款 JESD204BSubclass1 器件，可通过两个控制信号(SYSREF 和 DSYNC)实现链路同步。在系统层面，多个转换器件利用通用 DSYSREF 和器件时钟(CLK)实现对齐。

同步过程分三个阶段完成：代码组同步(CGS)、初始化通道对齐序列(ILAS)和数据传输。若使能加扰，则在数据传输阶段之前，数据位都不会真正进行加扰，CGS 和 ILAS 阶段都不执行加扰。

• CGS 阶段

在 CGS 阶段，JESD204B 的传送模块将传送/K28.5/字符。接收机(外部逻辑器件)必须使用时钟和数据恢复(CDR)技术，在输入数据流中找到 K28.5 字符。

一旦在链路通道上检测到一定数量的连续 K28.5 字符，接收机便产生一个 DSYSREF 边沿信号，以便本产品的传输数据建立内部的本地多帧时钟(LMFC)信号。

DSYSREF 边沿还可复位 ADC 的任意采样边沿，以使采样实例与 LMFC 同步。这对于在多个器件之间保持同步而言非常重要。

接收机或逻辑器件对施加于 DSYNC 的 SYNC~信号解除置位，并且发射机模块开始执行 ILAS 阶段。

• ILAS 阶段

在 ILAS 阶段中，发射机发送已知模式，接收机对齐所有通道链路并验证链路参数。

SYNC~解除置位后(变为高电平)，便进入 ILAS 阶段。发送模块开始发送 4 个多帧。在所需的字符中插入伪采样，以便传送完整的多帧。4 个多帧包括：

- ◆ 多帧 1：以/R/字符[K28.0]开始，以/A/字符[K28.3]结束。

- ◆ 多帧 2：以/R/字符开始，后接/Q/[K28.4]字符，然后是 14 个配置 8 位字的链路配置参数(见表 12)，最后以/A/字符结束。
- ◆ 多帧 3：同多帧 1。
- ◆ 多帧 4：同多帧 1。

表 11. ILAS 阶段的 14 个配置 8 位字

编号	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)
0	DID[7:0]							
1					BID[3:0]			
2				LID[4:0]				
3	SCR			L[4:0]				
4	F[7:0]							
5				K[4:0]				
6	M[7:0]							
7	CS[1:0]			N[4:0]				
8	SUBCLASS[2:0]			N' [4:0]				
9	JESDV[2:0]			S[4:0]				
10				CF[4:0]				
11	保留，无关(RES1)							
12	保留，无关(RES2)							
13	FCHK[7:0]							

• 数据传输阶段

在数据传输阶段，通过控制字符监控帧对齐。在帧的结尾处执行字符替换。出现下列情况时，会对发送器执行字符替换：

- ◆ 若禁用了加扰，并且帧或多帧的最后一个 8 位字等于上一帧的 8 位字。
- ◆ 若使能了加扰，并且多帧的最后一个 8 位字等于 0x7C，或帧的最后一个 8 位字等于 0xFC。

• 链路设置参数

以下内容展示了如何配置本产品 JESD204B 接口。配置输出的步骤包括：

1. 更改配置前先禁用通道。
2. 选择一个快速配置选项。
3. 配置详细选项。
4. 检查 JESD204B 接口参数的校验和 FCHK。
5. 设置其它数字输出配置选项。
6. 再次使能通道。

更改配置前先禁用通道。在改变 JESD204B 的链路参数前，先禁用链路并保持在复位寄存器。通过向寄存器 0x5F(位 0)写入逻辑 1，可完成此设置。

• 选择快速配置选项

写入寄存器 0x5E(JESD204B 快速配置寄存器)以便选择配置选项。配置选项及对应的 JESD204B 参数值见表 12。

- ◆ 0x41 = 4 个转换器，1 个通道
- ◆ 0x42 = 4 个转换器，2 个通道
- ◆ 0x44 = 4 个转换器，4 个通道
- ◆ 0x21 = 2 个转换器，1 个通道
- ◆ 0x22 = 2 个转换器，2 个通道
- ◆ 0x11 = 1 个转换器，1 个通道

表 12. 快速配置

JESD204B 快速配置(寄存器 0x5E)	M(转换器数, 寄存器 x71, [7:0])	L(通道数, 寄存器 0x6E, [4:0])	F(8 位字/帧, 寄存器 0x6F,[7:0])	S(样本/ADC/帧, 寄存器 0x74, [4:0])	HD(高密度模式, 寄存器 0x75,[7])
0x41	4	1	8	1	0
0x42	4	2	4	1	0
0x44	4	4	2	1	0
0x22	2	2	2	1	0
0x21	2	1	4	1	0
0x11	1	1	2	1	0

• 配置详细选项

配置结束位和控制位。

- ◆ 由于 $N' = 16$ 且 $N = 14$ (非默认配置)，每个样本都有 2 个数据位可用于通过 JESD204B 链路传输额外信息。可选择结束位或控制位。默认使用数值为 0b00 的结束位。
- ◆ 结束位是伪数据位，通过链路发送，以使两个 8 位字完整；它不传送有关输入信号的任何信息。结束位可以是固定的零值(默认)，或伪随机数字(寄存器 0x5F 位 6)。
- ◆ 可通过寄存器 0x72 的位[7:6]选择一个或两个控制位来代替结束位。控制位的意义可通过寄存器 0x14 的位[7:5]设置。
- ◆ 设置通道标识值。
- ◆ JESD204B 支持以参数标识器件和通道。这些参数在 ILAS 阶段时传送，并且可通过内部寄存器访问。
- ◆ 三个标识值分别是器件标识(DID)、模块标识(BID)和通道标识(LID)。DID 和 BID 属于器件专有标识，因此可用于标识电路。
- ◆ 设置每个多帧的帧数目 K。

- ◆ 根据 JESD204B 规范，多帧定义为一组 K 个连续帧，K 取值范围为 1 至 32，并且要求 8 位字的数量位于 17 至 1024 之间。寄存器 0x70(位[4:0])默认将 K 值设为 32。注意，K 值为寄存器值加 1。
- ◆ K 值可更改，但必须满足一定条件。基于 JESD204B 快速配置中的设定，针对每一帧[F]，本产品采用固定的 8 位字数值。K 还必须是 4 的倍数，同时满足下列方程：
- ◆ $32 \geq K \geq \text{Ceil}(17/F)$

JESD204B 规范还指定了每个多帧的 8 位字数，即(KxF)的范围为 17 至 1024。F 值通过快速配置设定为固定值，以确保该关系式为真。

表 13. JESD204B 可配置标识值

DID 值	寄存器, 位	取值范围
LID(通道 0)	0x66, [4:0]	0...31
LID(通道 1)	0x67, [4:0]	0...31
DID	0x64, [7:0]	0...255
BID	0x65, [3:0]	0...15

• 加扰、SCR

- ◆ 可通过寄存器 0x6E 的位 7 使能或禁用加扰。默认使能加扰。根据 JESD204B 协议，加扰仅在通道完成同步后方有效。
- ◆ 选择通道同步选项。
- ◆ 大部分 JESD204B 接口的同步功能均默认使能，以利于典型应用。可通过以下方式，在某些情况下禁用或更改这些特性：
- ◆ 寄存器 0x5F(位[3:2])可使能 ILAS，默认为使能。另外，为了支持某些特定接口(如 NMCD A-SL)，JESD204B 接口可编程设置为禁用 ILAS 序列或连续重复 ILAS 序列。
- ◆ 本产品具有一些固定的 JESD204B 接口参数值，具体如下：
- ◆ $[N'] = 16$ ：每个样本的位数为 16(寄存器 0x73, 位[4:0])
- ◆ $[CF] = 0$ ：控制字/帧时钟周期/转换器数为 0(寄存器 0x75, 位[4:0])
- ◆ 验证只读数值：每个链路的通道数(L)、每一帧的 8 位字数(F)、转换器数(M)和每个转换器每一帧的样本数(S)。本产品基于其它设置(特别是快速配置寄存器的选项)计算某些 JESD204B 的参数值。寄存器映射中的以下只读数值用于验证。
- ◆ $[L]$ = 每个链路的通道数可以是 1、2 或 4，从寄存器 0x6E (位[4:0])读取该值
- ◆ $[F]$ = 每一帧的 8 位字数可以是 2、4 或 8，从寄存器 0x6F(位[7:0])读取该值
- ◆ $[HD]$ = 高密度模式为 0，从寄存器 0x75(位 7)读取该值
- ◆ $[M]$ = 每个链路的转换器数，默认为 4，但可以时 1、2 或 4；从寄存器 0x71(位[7:0])读取该值
- ◆ $[S]$ = 每帧每个转换器的样本数为 1；从地址 0x74(位[4:0]) 读取该值

• 检查 JESD204B 接口参数的校验和 FCHK

JESD204B 参数可通过 JESD204B 接口参数的校验和[FCHK]验证。每个链路都有各自相应的 FCHK 值。FCHK 值在 ILAS 的第二个多帧时传送，并可通过内部寄存器读取。

校验和是表 14 的“编号”列中所列参数的模 256 求和值。校验和通过如下方式计算：在参数字段如表 14 所示被封装入 8 位字之前，将其相加。

从通道 0 输出数据的通道配置的 FCHK 可从寄存器 0x78 读取。类似地，从通道 1 输出数据的通道配置的 FCHK 可从寄存器 0x79 读取，从通道 2 输出数据的通道配置的 FCHK 可从寄存器 0x7A 读取，从通道 3 输出数据的通道配置的 FCHK 可从寄存器 0x7B 读取。

表 14. 用于 ILAS 和校验和计算的 JESD204B 配置表

编号	位 7(MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0(LSB)
0	DID[7:0]							
1					BID[3:0]			
2				LID[4:0]				
3	SCR			L[4:0]				
4	F[7:0]							
5				K[4:0]				
6	M[7:0]							
7	CS[1:0]			N[4:0]				
8	SUBCLASS[2:0]			N' [4:0]				
9	JESDV[2:0]			S[4:0]				
10				CF[4:0]				

• 设置其它数字输出配置选项

其它数据格式控制包括：

- ◆ 串行输出数据极性反转：寄存器 0x60 的位 1
- ◆ ADC 数据格式(偏移二进制或二进制补码)：寄存器 0x14
- ◆ 的位[1:0]
- ◆ 解读 DSYSREF 和 DSYNC 上信号的选项：寄存器 0x3A 的位[4:3]
- ◆ 重映射转换器(逻辑通道)和 SERDOUTx±(物理通道)分配的选项：寄存器 0x82 和寄存器 0x83。图 57 给出了简化功能框图。

• 配置后再使能通道

更改 JESD204B 链路参数后，应使能链路通道以便开始同步。通过向寄存器 0x5F(位 0)写入逻辑 0，可完成此设置。

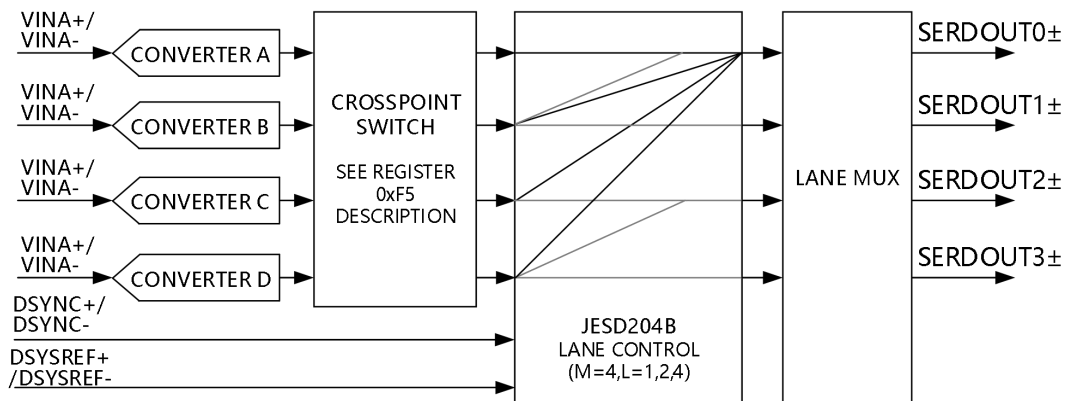


图 57. 本产品传输链路简化功能框图

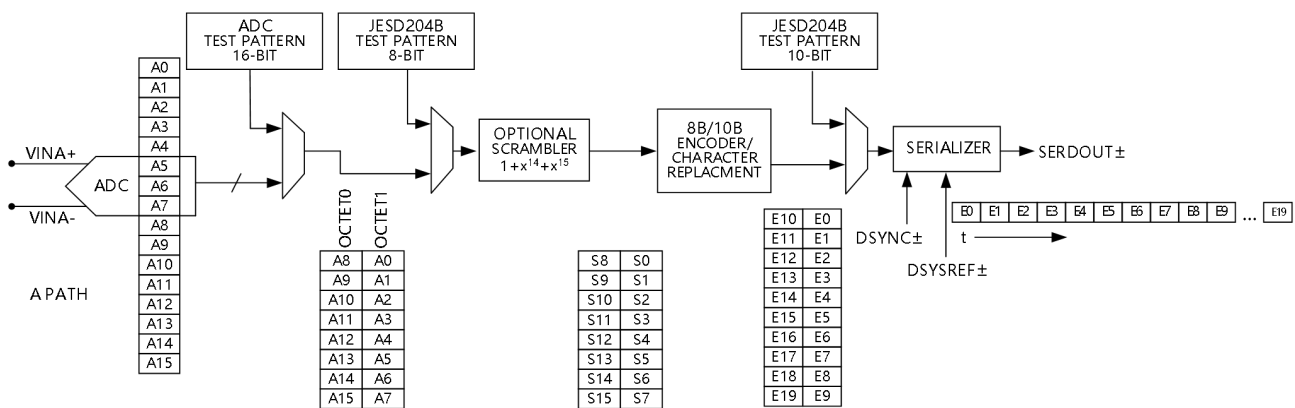


图 58. 本产品 JESD204B 通道的数字处理

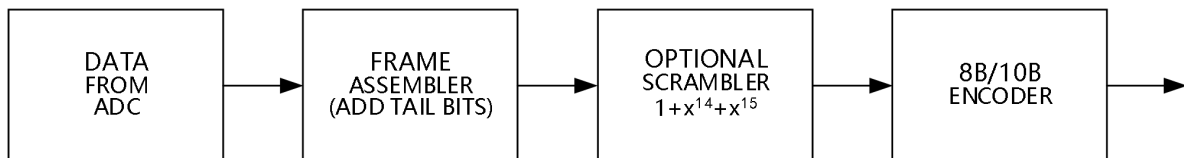


图 59. 本产品 ADC 输出数据路径

• 帧和通道的排列监控与校正

帧排列监控和校正都属于 JESD204B 规范的部分内容。16 位字需要占用两个 8 位字才能完成所有数据的传送。两个 8 位字(MSB 和 LSB, $F = 2$)组成一帧。正常工作条件下, 通过排列字符实现帧排列监控; 满足一定条件时可插入帧的尾部。表 16 总结了可进行字符插入的条件, 以及各种工作模式下的期望字符。若使能通道同步, 则替换字符值取决于 8 位字是位于单帧的尾部, 还是位于多帧的尾部。

通过正确接收替换字符, 接收机可保证在不同工作模式下依然与帧边界同步。

加扰	通道同步	需要替换的字符	是否为多帧中的最后 8 位字	替换字符
关	开	最后 8 位字重复前一帧内容	否	K28.7
关	开	最后 8 位字重复前一帧内容	是	K28.3
关	关	最后 8 位字重复前一帧内容	不适用	K28.7
开	开	最后 8 位字等于 D28.7	否	K28.7
开	开	最后 8 位字等于 D28.3	是	K28.3
开	关	最后 8 位字等于 D28.7	不适用	K28.7

表 15. 帧和通道的排列监控与校正替换字符表

• 数字输出和时序

本产品上电时，默认具有差分数字输出。驱动器电流来自芯片，并将各输出端的输出电流设置为标称值 4mA。每个输出都具有 100K 的动态内部端接电阻，可降低反射干扰。

在每个接收机的输入端放置一个 100K 差分端接电阻，可实现标称 600mVp-p 的接收机差分摆幅(见图 60)。也可使用单端 50K 端接电阻。使用单端端接电阻时，终端电压必须为 $DRVDD/2$ ；此外，还可使用端接至任意单端电压的交流耦合电容。

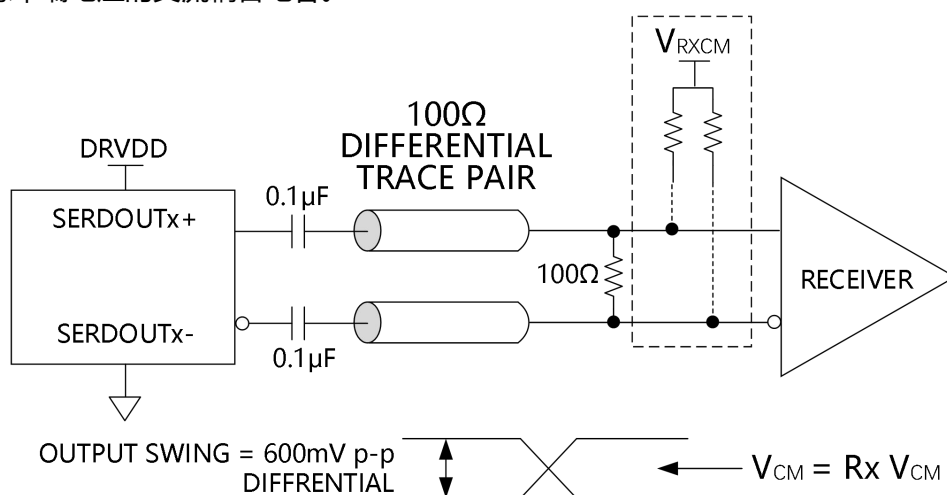


图 60. 交流耦合数字输出端接示例

本产品数字输出可与定制的 ASIC 和 FPGA 接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个 100K 差分端接电阻尽可能靠近接收器放置。若使用了直流耦合连接(如图 61)，则共模数字输出可自动使自身偏置到接收机的电源中间位置(即接收机电源为 1.8V 时，共模电压为 0.9V)。对于逻辑电平不在 $DRVDD$ 电源边界范围内的接收机，则使用交流耦合连接。在每个输出引脚上放置一个 0.1µF 电容，并在靠近接收机处使用 100K 差分端接电阻。

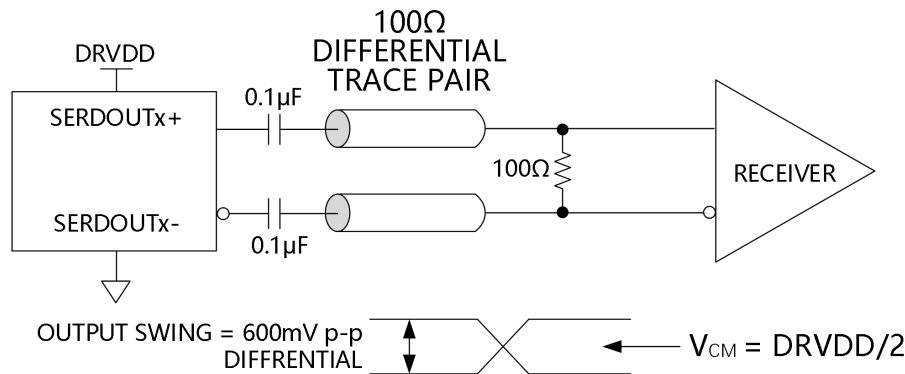


图 61. 直流耦合数字输出端接示例

如果没有远端接收机端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过 6 英寸，差分输出走线应尽可能彼此靠近且长度相等。

图 62 显示本产品通道工作在 6.4Gbps 时的数字输出数据眼图、时间间隔误差(TIE)抖动直方图，以及浴盆曲线的示例。附加 SPI 选项允许用户进一步提高所有四路输出的输出驱动器电压摆幅，从而驱动更长的走线。使用此选项会提供 DRVDD 电源的功耗。更多信息见存储器映射部分。

输出数据格式默认为二进制补码。若要将输出数据格式变为偏移二进制，请参阅存储器映射部分和表 16 中的寄存器 0x14。

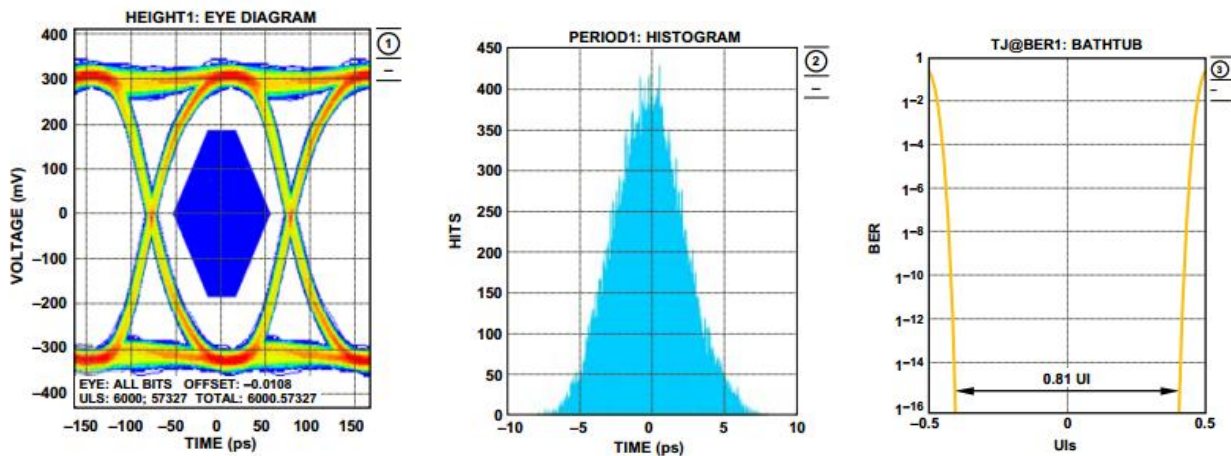


图 62. 本产品数字输出数据眼图、直方图和浴盆图(6.4Gbps 时外部端接电阻为 100K)

• 帧和通道的排列监控与校正

帧排列监控和校正都属于 JESD204B 规范的部分内容。16 位字需要占用两个 8 位字才能完成所有数据的传送。两个 8 位字(MSB 和 LSB, $F = 2$)组成一帧。正常工作条件下，通过排列字符实现帧排列监控；满足一定条件时可插入帧的尾部。表 16 总结了可进行字符插入的条件，以及各种工作模式下的期望字符。若使能通道同步，则替换字符值取决于 8 位字是位于单帧的尾部，还是位于多帧的尾部。

通过正确接收替换字符，接收机可保证在不同工作模式下依然与帧边界同步。

● 存储器映射

• 读取存储器映射寄存器表

存储器映射寄存器表的每一行有 8 位。存储器映射大致分为三个部分：芯片配置寄存器(地址 0x00 至地址 0x02)、通道索引和传送寄存器(地址 0x05 和地址 0xFF)，以及 ADC 功能寄存器，包括设置、控制和测试(地址 0x08 至地址 0x10A)。

存储器映射寄存器表(见表 16)记录了每个十六进制地址及其十六进制默认值。位 7 (MSB) 栏为给定十六进制默认值的起始位。例如，输出模式寄存器(地址 0x14)的十六进制默认值为 0x01。这表明，位 0=1，而其余位均为 0。此设置是默认输出格式值(二进制补码)。

• 禁用位置和保留位置

此器件不支持表 16 中未包括的所有地址和位。应向有效地址位置的未使用位写入 0。在该地址(例如：地址 0x18)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如地址 0x13)禁用，则不应对该地址进行写操作。

• 默认值

本产品复位后，关键寄存器将载入默认值。存储器映像寄存器表(见表 19)列出了各寄存器的默认值。

• 逻辑电平

以下是逻辑电平的术语说明：

- ◆ “置位” 指 “将某位设置为逻辑 1” 或 “向某位写入逻辑 1”。
- ◆ “清除位” 指 “将某位设置为逻辑 0” 或 “向某位写入逻辑 0”。

• 特定通道寄存器

可通过编程为每个通道的某些功能设置不同的值。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表 16 中被称为局部寄存器。通过设置寄存器 0x05 的通道 0、通道 1、通道 2 或通道 3 位，可访问这些局部寄存器及相应位。如果这四个位均置位，后续写操作将影响所有四个通道的寄存器。在一个读周期内，仅设置一个通道，对 4 个寄存器中的 1 个执行读操作。如果在一个 SPI 读周期内置位所有位，则器件返回通道 0 的值。表 16 给出的全局寄存器及相应位会影响整个器件和通道的特性，不允许分别设置每个通道。寄存器 0x05 中的设置不影响全局寄存器及相应位的值。

• 存储器映射寄存器表

本产品采用 3 线接口和 16 位寻址方式。寄存器 0x00 的位 0 和位 7 置 0，位 3 和位 4 置 1。当寄存器 0x00 的位 5 置 1 时，SPI 进入软复位，所有用户寄存器恢复默认值，位 2 自动清 0。

表 16. 存储器映射寄存器(未标记为“局部”的 SPI 寄存器/位为“全局”寄存器/位)

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	注释 备注
芯片配置寄存器											
0x00	SPI端口配置	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	
0x01	芯片ID	8位芯片ID[7:0]；本产品=0xC0(四通道、16位、125MSPS、JESD204B)								0xC0	只读
0x02	芯片等级	禁用	速度等级ID[6:4]；110=125MSPS			禁用	禁用	禁用	禁用	0x60	只读
通道索引和传送寄存器											
0x05	器件索引	禁用	禁用	禁用	禁用	数据通道3	数据通道2	数据通道1	数据通道0	0x0F	
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动寄存器0x100 覆盖(自清零)	0x00	
ADC 功能											
0x08	功耗模式	禁用	禁用	PDWN引 脚功能： 0=完全掉 电 1=待机	JTX待机模 式：0=忽略 待机 1=不忽略待 机	保留		功耗模式： 00=正常工作 01=完全掉电 10=待机 11=数字复位		0x00	
0x09	时钟	禁用	0	禁用	禁用	禁用	禁用	禁用	占空比稳定器：	0x00	

									0=关 1=开		
0x0A	PLL_STATUS	PLL锁定 状态位: 0=PLL未锁定 1=PLL锁定	禁用	禁用	禁用	禁用	禁用	禁用	JTX链路状态: 0=未就绪 1=就绪		只读
0x0B	时钟分频器	禁用	禁用	禁用	禁用	禁用	时钟分频比[2:0]: 000=1分频 001=2分频 010=3分频 011=4分频 100=5分频 101=6分频 110=7分频 111=8分频			0x00	
0x0C	增强控制	禁用	禁用	禁用	禁用	禁用	斩波模式: 0=关 1=开	禁用	禁用	0x00	
0x0D	测试模式 (局部, 伪随机数(PN) 序列复位除外)	用户输入测试模式: 00=单一 01=交替 10=单一一次 11=交替一次 (仅影响用户输入测试模位 [3:0]=1000)		复位PN长 序列发生器	复位PN长 序列发生器	输出测试模式[3:0](局部): 0000=关(默认) 0001=中间电平短 0010=正满量程(FS) 0011=负FS 0100=交替棋盘形式, 0101=PN23序列 0110=PN9序列 0111=1/0字反转 1000=用户输入 1001=1/0位反转				0x00	置1时, 测试 数据将取代 正常数据被 置于输出引 脚上

						1010=1×同步 1011=1位高电平 1100=混合位频率		
0x10	失调调整 (局部)	8位器件失调调整[7:0](局部); 失调调整以LSB为单位, 从+127到-128(二进制补码格式)					0x00	器件失调调整
0x14	输出模式	JTXCS模式: 000={超量程 欠量程,有效标志} 001={超量程, 欠量程} 010={超量程 欠量程, 空} 011={空, 有效标志} 100={空, 空} 其他={超量程 欠量程,有效标志}			ADC输出 有效标志: 0=输出有效 1=输出无效 (局部)	禁用	禁用	输出格式: 0=偏移二进制 1=二进制补码
0x15	输出调整	禁用	禁用	禁用	禁用	禁用	典型CML差分输出驱动电平: 000=473mVp-p, 001=524mVp-p, 010=574mVp-p, 011=621mVp-p(默认), 100=667mVp-p, 101=716mVp-p, 110=763mVp-p, 111=811mVp-p	
0x16	时钟相位控制	禁用	输入时钟相位调整[2:0] (值为相位延迟的输入时钟周期数)		禁用	禁用	禁用	禁用
0x18	输入范围选择	内部VREF调整[1:0]: 00=1.0V, 01=1.2V, 10=1.3V, 11=1.4V		禁用	禁用	禁用	差分范围调整: 000=正常值50%, 001=正常值57%, 010=正常值67%, 011=正常值80%, 100=正常值	

0x19	用户测试码 1LSB	用户测试码1[7:0]								0x00	
0x1A	用户测试码 1MSB	用户测试码1[15:8]								0x00	
0x1B	用户测试码 2LSB	用户测试码2[7:0]								0x00	
0x1C	用户测试码 2MSB	用户测试码2[15:8]								0x00	
0x21	FLEX_SERIAL_CONTR OL	禁用	禁用	禁用	禁用	PLL低速率模式: 0=通道速 率≥2Gbps 1=通道速 率<2Gbps	禁用	禁用	禁用	0x00	
0x22	FLEX_SERIAL_CH_STA T	禁用	禁用	禁用	禁用	禁用	禁用	禁用	通道掉电 (局部)	0x00	
0x3A	SYSREF_CTRL	禁用	禁用	禁用	0=普通模 式 1=每次激 活 DSYNC± 时重新对 齐通道	0= 仅 当 DSYSREF±引起 计数器重新同步 时重新对齐通 道, 1= 每个 DSYNC±上重 新对齐通道	禁用	禁用	禁用	0x00	
0x3B	REALIGN_PATTERN_C TRL	对齐一个通道时, 将此模式码写入FIFO: 00=通道输出全0; 55=通道输出交替模式码								0x55	
0x5E	JESD204B 快速配置	0x41=4个转换器、1个通道; 0x42=4个转换器、2个通道; 0x44=4个转换器、4个通道; 0x22=2个转换器、2个通道; 0x21=2个转换器、1个通道; 0x11=1个转换器、1个通道								0x00	自清零, 始终 读出0x00。
0x5F	JESD204B链路 控制1	禁用	结束位模 式: 0=填充0	JTX传输层 测试: 0=未使	多帧对齐 字符插入: 0=禁用,	ILAS模式: 00=ILAS禁用, 01=ILAS使能(正常模式),	帧对齐 字符插入: 0=使能,	0=JTX链路使能 1=JTX链路禁用		0x14	

			1=填充9位 PN序列	能, 1=长传输 层测试使 能	1=使能	11=ILAS始终开启(测试模式)	1=禁用			
0x60	JESD204B链路 控制2	保留		DSYNC± 引脚反转: 0=不反 转, 1=反转	DSYNC± 引脚输入 偏置: 0=禁用, 1=使能	禁用	禁用	JTX输出反 转: 0=正常, 1=反转	保留	0x10
0x61	JESD204B链路 控制3	保留	保留	测试数据注入点: 01=8b/10b编码器输出 时注入10位数据, 10=加扰输入时的8位数 据		JTX测试模式码: 0000=正常工作(测试模式禁用), 0001=交替棋盘形式, 0010=1/0字交替, 0011=PN序列为PN23, 0100=PN序列为PN9, 0101=连续/重复用户测试模式, 0110=单用户测试模式, 0111=保留, 1000=更改的RPAT测试序列(仅8位数据), 1100=PN序列为PN7, 1101=PN序列为PN15, 其他设置未使用				0x00
0x62	JESD204B 链路控制4	保留								0x00
0x64	JESD204BDID 配置	器件标识(DID)=C0								0xC0
0x65	JESD204BBID 配置	禁用	禁用	禁用	禁用	JTX模块标识(BID)号				0x00

0x66	JESD204BLID 配置0	禁用	禁用	禁用	通道0的JTX通道标识(LID)号	0x00	
0x67	JESD204BLID 配置1	禁用	禁用	禁用	通道1的JTX通道标识(LID)号	0x01	
0x68	JESD204BLID 配置2	禁用	禁用	禁用	通道2的JTX通道标识(LID)号	0x02	
0x69	JESD204BLID 配置3	禁用	禁用	禁用	通道3的JTX通道标识(LID)号	0x03	
0x6E	JESD204B参数 SCR/L	JESD204B加 扰(SCR): 0= 禁用, 1=使能	禁用	禁用	JESD204B串行通道控制: 0=每链路1个通道(L=1), 1=每链路2个通道(L=2), 2=未使用, 3=每链路4个通道(L=4), 4至31=未使用	0x80	
0x6F	JESD204B参数F	JESD204B每帧的8位字个数(F); 计算值, $F=(2 \times M)/L$				0x00	只读
0x70	JESD204B参数K	禁用	禁用	禁用	JESD204B每个多帧的帧数(K); K=寄存器内容+1, 同时K必须是4个8位字的 倍数	0x1F	
0x71	JESD204B参数M	JESD204B转换器数(M): 0=1个转换器(M=1), 1=2个转换器(M=2), 3=4个转换器(M=4, 默认值)				0x03	
0x72	JESD204B参数 CS/N	00=每个样本发送 0个控制位数(CS=0)	禁用	JTX转换器分辨率(N): 0x0F=16位, 0x0D=14位, 0x0B=12位, 0x09=10位		0x0F	
0x73	JESD204B参数 subclass/Np	JESD204B子类: 0x0=子类0, 0x1=子类1(默认)		JESD204B每个样本的位数(N'); N' =寄存器内容+1		0x2F	
0x74	JESD204B参数S	保留		JESD204B每帧的转换器样本数(S); S=寄存器内容+1		0x20	只读

0x75	JESD204B参数 HD和CF	JESD204BHD 值=0	禁用	禁用	每链路上每个帧时钟周期的JESD204B控制字(CF=0, 固定值)					0x00	只读
0x76	JESD204BRESV1	链路配置中的JESD204B串行保留域1, 参见表12(RES1)								0x00	
0x77	JESD204BRESV2	链路配置中的JESD204B串行保留域2, 参见表12(RES2)								0x00	
0x78	JESD204BCHKSUM0	链路配置中的JESD204B串行校验和值, 参见表12的通道0(FCHK)									只读
0x79	JESD204BCHKSUM1	链路配置中的JESD204B串行校验和值, 参见表12的通道1(FCHK)									只读
0x7A	JESD204BCHKSUM2	链路配置中的JESD204B串行校验和值, 参见表12的通道2(FCHK)									只读
0x7B	JESD204BCHKSUM3	链路配置中的JESD204B串行校验和值, 参见表12的通道3(FCHK)									只读
0x80	JTX物理通道 禁用	禁用	禁用	禁用	禁用	通道3: 0=使能, 1=禁用	通道2: 0=使能, 1=禁用	通道1: 0=使能, 1=禁用	通道0: 0=使能, 1=禁用	x00	通道串行化, 输出驱动器关 断。
0x82	JESD204B 通道对齐1	禁用	物理通道1对齐: 000=逻辑通道0, 001=逻辑通道1, 010=逻辑通道2, 011=逻辑通道3			禁用	物理通道0对齐: 000=逻辑通道0, 001=逻辑通道1, 010=逻辑通道2, 011=逻辑通道3			x10	
0x83	JESD204B 通道对齐2	禁用	物理通道3对齐: 000=逻辑通道0, 001=逻辑通道1, 010=逻辑通道2, 011=逻辑通道3			禁用	物理通道2对齐: 000=逻辑通道0, 001=逻辑通道1, 010=逻辑通道2, 011=逻辑通道3			x32	
0x86	JESD204B 通道反转	禁用	禁用	禁用	禁用	通道3: 0=不反转 1=反转	通道2: 0=不反 转,	通道1: 0=不反 转 1=反转	通道0: 0=不反 转, 1=反转	x00	

							1=反转				
0x8B	JESD204BLMFC 偏移	禁用	禁用	禁用	本地多帧时钟(LMFC)相位偏移值; DSYSREF±置位时LMFC相位计数器的复位值; 用于确定性延迟应用					0x00	
0xA0	JTX用户模式码 8位字0, LSB	用户测试码最低有效字节, 8位字0								0x00	
0xA1	JTX用户模式码 8位字0, MSB	用户测试码最高有效字节, 8位字0								0x00	
0xA2	JTX用户模式码 8位字1, LSB	用户测试码最低有效字节, 8位字1								0x00	
0xA3	JTX用户模式码 8位字1, MSB	用户测试码最高有效字节, 8位字1								0x00	
0xA4	JTX用户模式码 8位字2, LSB	用户测试码最低有效字节, 8位字2								0x00	
0xA5	JTX用户模式码 8位字2, MSB	用户测试码最高有效字节, 8位字2								0x00	
0xA6	JTX用户模式码 8位字3, LSB	用户测试码最低有效字节, 8位字3								0x00	
0xF5	JTX转换器映射	JTX转换器3: 0=ADCA, 1=ADCB, 2=ADCC, 3=ADCD		JTX转换器2: 0=ADCA, 1=ADCB, 2=ADCC, 3=ADCD		JTX转换器1: 0=ADCA, 1=ADCB, 2=ADCC, 3=ADCD		JTX转换器0: 0=ADCA, 1=ADCB, 2=ADCC, 3=ADCD		xE4	
0x100	分辨率/采样速率 覆盖	禁用	覆盖使能	分辨率: 0=16位 1=14位 2=12位 3=10位	禁用	采样速率: 001=40MSPS, 010=50MSPS, 011=65MSPS, 100=80MSPS, 101=105MSPS, 110=125MSPS			x00	采样速率覆盖 (需要传输寄存器0xFF)	

0x101	用户I/O控制2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO下拉	x00	禁用SDIO下拉电阻
0x102	用户I/O控制3	禁用	禁用	禁用	禁用	VCM掉电	禁用	禁用	禁用	x00	VCM控制
0x109	时钟分频器同步控制	时钟分频器同步模式：0=使用SYNC引脚 1=使用DSYSREF±引脚	保留					收到复位时钟分频器同步	同步时钟分频器使能：0=禁用，1=使能	x00	
0x10A	收到时钟分频器同步	禁用	禁用	禁用	禁用	禁用	禁用	禁用	收到时钟分频器同步	0x00	只读

- **存储器映射寄存器描述**

如需了解有关寄存器 0x00 至寄存器 0xFF 所控制功能的更多一般信息, 请参见应用笔记 AN-877: “通过 SPI 与高速 ADC 接口。”

- **器件索引(寄存器 0x05)**

对于映射中指定为局部的某些特性, 各通道可以独立设置, 而其它特性则是全局适用(取决于上下文), 不论选择哪一通道。寄存器 0x05 的位[3:0]可以用来选择哪些数据通道受影响。

- **传送(寄存器 0xFF)**

除寄存器 0x100 外, 所有其它寄存器都在写入时立刻更新。传送寄存器的位 0 置 1 时, 分辨率/采样速率覆盖寄存器(地址 0x100)的设置初始化。

- **功耗模式(寄存器 0x08)**

- ◆ 位 5—PDWN 引脚功能

置 1 时, PDWN 引脚启动待机模式。置 0(清 0)时, PDWN 引脚启动完全掉电模式。

- ◆ 位 4—JTX 待机模式

置 1 时, 若芯片待机功能启用, 则 JTX 模块进入待机模式。待机模式下, 仅 PLL 仍然运行。清 0 时, 若芯片待机功能启用, 则 JTX 模块仍然运行。

- ◆ 位[1:0]—功耗模式

正常工作(位[1:0] = 00)时, 所有 ADC 通道和 JTX 模块均启用。

在完全掉电模式(位[1:0] = 01)下, 所有 ADC 通道和 JTX 模块均掉电, 数字数据路径时钟禁用, 数字数据路径复位。输出禁用。

在待机模式(位[1:0] = 10)下, 所有 ADC 通道部分掉电, 数字数据路径时钟禁用。若设置了 JTX 待机模式, 则输出也禁用。

数字复位(位[1:0] = 11)期间, 除 SPI 端口外, 芯片的所有其它数字数据路径时钟和输出(适用时)均复位。注意, SPI 始终受用户的控制, 从不会自动禁用或复位(除非上电复位)。数字复位无效时, 启动前台校准序列。

- **增强控制(寄存器 0x0C)**

- ◆ 位 2—斩波模式

某些应用对失调电压和其它低频噪声敏感, 如零差或直接变频接收机等; 针对这些应用, 可以设置位 2 来使能本产品第一级的斩波特性。在频域中, 斩波将失调和其它低频噪声转换为 fCLK/2, 可以通过滤波器予以滤除。

- **输出模式(寄存器 0x14)**

- ◆ 位[7:5]—JTX CS 模式

指定 JTX 控制位的意义。

- ◆ 位[1:0]—输出格式

默认情况下, 此域置 1, 数据以二进制补码格式输出。此域清 0 时, 输出模式变为偏移二进制。

- **时钟相位控制(寄存器 0x16)**

- ◆ 位[6:4]—输入时钟相位调整

使用时钟驱动器(寄存器 0x0B)时, 施加的时钟频率高于内部采样时钟。位[6:4]决定在外部时钟的哪个相位执行采样。这只在使用时钟分频器时适用。位[6:4]不可设置大于寄存器 0x0B 位[2:0]的值。

- **JTX 用户模式码(寄存器 0xA0 至寄存器 0xA7)**

当寄存器 0x61 的位[3:0]设置为 5 或 6 时, 这些寄存器中的模式码在所有有效通道上输出。当寄存器 0x61 的位[5:4]设置为 2 时, 加扰器之前插入一个由寄存器 0xA0、寄存器 0xA2、寄存器 0xA4 和寄存器 0xA6 连接而成的 32 位模式码。当寄存器 0x61 的位[5:4]设置为 1 时(40 位模式码), 8b10b 编码器之前插入由以下内容连接而成的模式码: 寄存器 0xA1 的位[1:0]和寄存器 0xA0 的位[7:0]; 寄存器 0xA3 的位[1:0]和寄存器 0xA2 的位[7:0]; 寄存器 0xA5 的位[1:0]和寄存器 0xA4 的位[7:0]; 寄存器 0xA7 的位[1:0]和寄存器 0xA6 的位[7:0]。

- **分辨率/采样速率覆盖(寄存器 0x100)**

在不需要最高分辨率和/或采样速率的应用中, 用户可利用此寄存器降低分辨率和/或最大采样速率(以便降低功耗)。此寄存器的设置在传送寄存器(寄存器 0xFF)的位 0 写入高电平后初始化。

位[2:0]不影响采样速率, 而是影响 ADC 的最大采样速率。

用户 I/O 控制 2(寄存器 0x101)

- ◆ 位 0—SDIO 下拉

可以设置位 0 以禁用 SDIO 引脚内置的 30 k Ω 下拉电阻。当许多器件连接到 SPI 总线时, 此设置用来限制负载。

用户 I/O 控制 3(寄存器 0x102)

- ◆ 位 3—VCM 掉电

通过将位 3 设置为高电平, 可关断内部 VCM 发生器。使用 外部基准电压源时使用此功能。

应用信息

● 设计指南

在进行本产品的系统级设计和布局之前，建议设计人员先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

● 电源和接地建议

当连接电源至本产品时，建议使用两个独立的 1.8 V 电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD 和 DVDD)。设计人员可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近印刷电路板(PCB)入口点和接近器件引脚的位置，并尽可能缩短走线长度。

本产品仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

● 时钟稳定性考虑

上电时，本产品进入初始相位，内部状态机设置偏置和寄存器，以便器件能正常工作。在初始化过程中，本产品需要稳定的时钟。若 ADC 时钟源不存在，或在 ADC 上电期间不稳定，则会打断状态机，进而导致 ADC 上电至未知状态。要校正这一状态，必须在 ADC 时钟稳定后重新调用初始序列。可通过寄存器 0x08 发起数字复位来完成该操作。在默认配置中(内部 VREF，交流耦合输入)，VREF 和 VCM 由 ADC 自身提供，因此上电时具有足够稳定的时钟。当 VREF 和/或 VCM 由外部源提供时，它们在上电时也必须是稳定的；否则，需要通过寄存器 0x08 进行序列数字复位。数字复位的伪代码序列如下所示：

```
SPI_Write (0x08, 0x03); # Digital Reset SPI_Write (0x08, 0x00); # Normal Operation
```

● 裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地(AGND)。PCB 上裸露(无阻焊膜)的连续铜平面必须与本产品的裸露焊盘(引脚 0)匹配。

铜平面上必须有多个通孔，获得尽可能低的热阻路径以通过 PCB 底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，便可防止焊料堆积并在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。PCB 布局范例可以参考评估板。如需了解有关封装和芯片级封装 PCB 布局布线的详细信息，请参阅应用笔记 AN-772：“引脚架构芯片级封装(LFCSP)设计与制造指南”。

● VCM

利用一个 0.1 μ F 电容将 VCM 引脚去耦至地。

● 基准电压源去耦

VREF 引脚应通过外部一个低 ESR 0.1 μ F 陶瓷电容和一个低 ESR 1.0 μ F 电容的并联去耦至地。

● SPI 端口

当需要转换器充分发挥其全部动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与本产品 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入引脚端发生变化。

外形尺寸

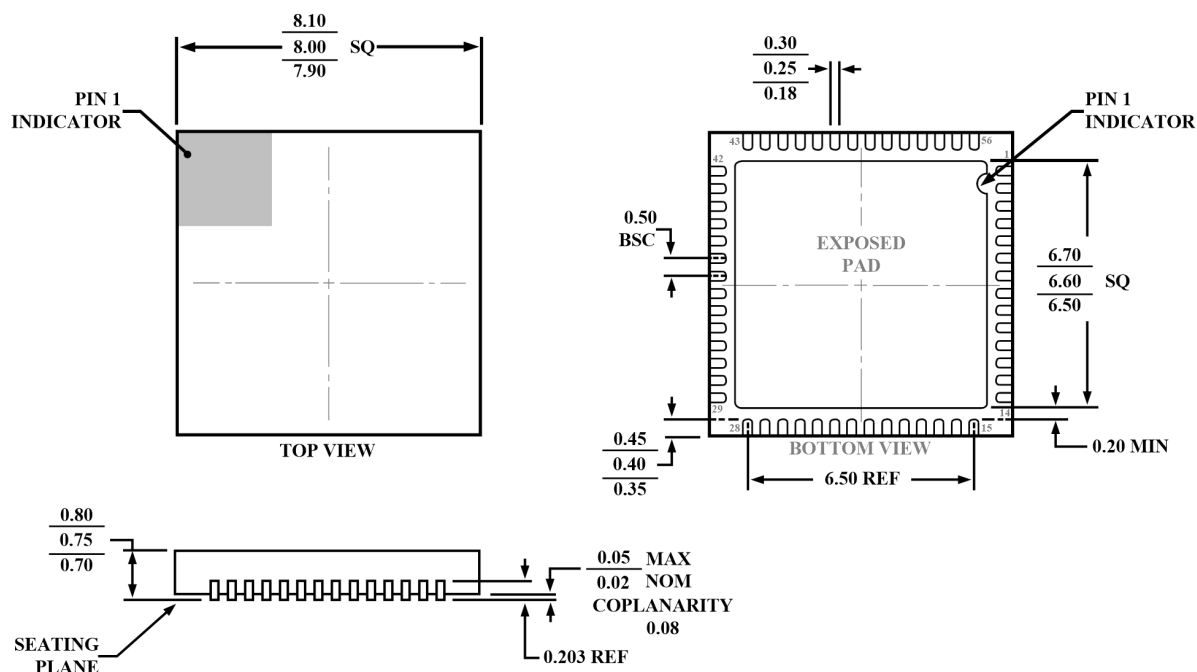


图 63.56 引脚架构芯片封装(塑封版)

8mm×8mm, 尺寸单位: mm

包装/订购信息

产品名称	订单编码	温度范围	产品封装	运输及包装数量	包装标记
CBM96AD56-125		-40°C~85°C	QFN-56	Tray, 260	