

产品特性

- 模拟电源电压: 3.3V 1.8V 1.3V
- 数字电源电压: 1.3V
- 集成 12 位 DAC 和 ADC 的 RF 2×2 收发器
- 频段: 70 MHz 至 6.0 GHz
- 支持 TDD 和 FDD
- 可调谐通道带宽: <200 kHz 至 56 MHz
- TX EVM: - 40 dB
- 电路接口: CMOS/LVDS 数字接口
- ESD 等级: HBM 500V

产品应用

- 点对点通信系统
- 微蜂窝基站
- 通用无线电系统

产品描述

CBMRF001 是一款面向 3G 和 4G 基站应用的高性能、高集成度的射频(RF)捷变收发器。该器件的可编程性和宽带能力使其成为多种收发器应用的理想选择。该器件集 RF 前端与灵活的混合信号基带部分为一体, 集成频率合成器, 为处理器提供可配置数字接口, 从而简化设计导入。CBMRF001 工作频率范围为 70 MHz 至 6.0 GHz, 涵盖大部分特许执照和免执照频段, 支持的通道带宽范围为不到 200 kHz 至 56 MHz。两个独立的直接变频接收器拥有首屈一指的噪声系数和线性度。每个接收(RX)子系统都拥有独立的自动增益控制(AGC)、直流失调校正、正交校正和数字滤波功能, 从而消除了数字基带中提供这些功能的必要性。CBMRF001 还拥有灵活的手动增益模式, 支持外部控制。每个通道搭载两个高动态范围 ADC, 先将收到的 I 信号和 Q 信号进行数字化处理, 然后将其传过可配置抽取滤波器和 128 抽头有限脉冲响应(FIR)滤波器, 结果以相应的采样率生成 12 位输出信号。

发射器采用直接变频架构, 可实现较高的调制精度和超低的噪声。这种发射器设计带来了 TX EVM, 数值不到<-40 dB, 可为外部功率放大器的选择留出可观的系统裕量。板载发射 (TX)功率监控器可以用作功率检测器, 从而实现高度精确的 TX 功率测量。

完全集成的锁相环(PLL)可针对所有接收和发射通道提供低功耗的小数 N 分频频率合成。设计中集成了频分双工(FDD)系统需要的通道隔离。还集成了所有 VCO 和环路滤波器器件。该电路采用 10mm×10mm, 144 引脚芯片级球栅阵列封装(CSP_BGA)。该产品可有效替代 ADI 公司的 AD9361。

目 录

产品特性.....	1
产品应用.....	1
产品描述.....	1
目录.....	2
功能框图.....	3
参数指标.....	4
推荐工作条件.....	6
绝对最大额定值.....	6
引脚配置与功能描述.....	7
封装外形及尺寸.....	14
包装/订购信息.....	15
修订日志.....	16

功能框图

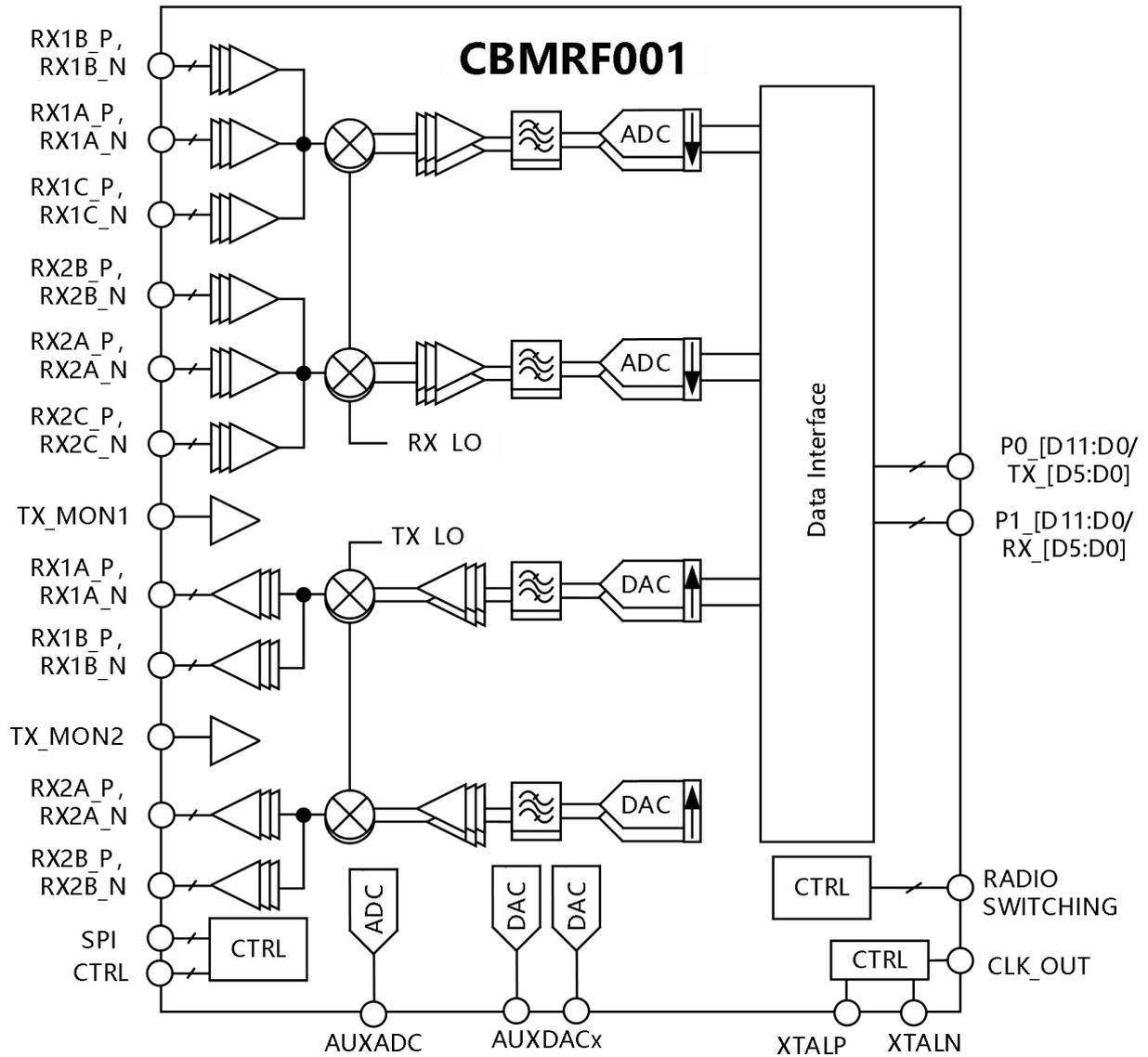


图 1. 功能框图

参数指标

参数	测试条件	最小值	典型值	最大值	单位
接收器, 一般					
中心频率		70	--	6000	MHz
增益	800MHz	0	--	71.5	dB
	2300 MHz (RX1A, RX2A)	--	70	--	dB
	2300 MHz (RX1B,RX1C, RX2B, RX2C)	--	70	--	dB
	5500 MHz (RX1A, RX2A)	--	62	--	dB
增益步进		--	1	--	dB
接收信号强度指示器档位		--	95	--	dB
接收信号强度指示器准确度		--	±2.5	--	dB
接收器, 800MHz					
噪声系数 (NF)	最大 RX 增益	--	2.8	--	dB
三阶输入交调截点	最大 RX 增益	--	-11	--	dBm
二阶输入交调截点	最大 RX 增益	--	55	--	dBm
本振(LO)泄漏	RX 前端输入	--	-82	--	dBm
正交增益误差		--	0.2	--	%
正交相位误差		--	0.2	--	度
调制精度(EVM)	40 MHz 参考时钟	--	(暂未测试)	--	dB
输入 S11		--	(暂未测试)	--	dB
RX1 至 RX2 隔离 (RX1A 至 RX2A, RX1C 至 RX2C)		--	55	--	dB
RX1 至 RX2 隔离 (RX1B 至 RX2B)		--	50	--	dB
RX2 至 RX1 隔离 (RX2A 至 RX1A, RX2C 至 RX1C)		--	55	--	dB
RX2 至 RX1 隔离 (RX2B 至 RX1B)		--	50	--	dB
接收器, 5.5 GHz					

噪声系数 (NF)	最大 RX 增益	--	4	--	dB
三阶输入交调截点	最大 RX 增益	--	-4	--	dBm
二阶输入交调截点	最大 RX 增益	--	58	--	dBm
本振(LO)泄漏	RX 前端输入	--	-75	--	dBm
正交增益误差		--	0.2	--	%
正交相位误差		--	0.2	--	度
调制精度(EVM)	40 MHz 参考时钟 (针对 RF 频率合成器内部加倍)	--	(暂未测试)	--	dB
输入 S11		--	(暂未测试)	--	dB
RX1A 至 RX2A 隔离		--	50	--	dB
RX2A 至 RX1A 隔离		--	37	--	dB
发射器, 一般					
中心频率		70	--	6000	MHz
功率控制范围		--	90	--	dB
功率控制分辨率		--	0.25	--	dB
发射器, 800 MHz					
输出 S22		--	暂未测试	--	dB
最大输出功率	1 MHz 信号音(50Ω负载)	--	8	--	dBm
调制精度(EVM)	19.2MHz 参考时钟	--	-45	--	dB
三阶输出交调载点		--	17	--	dBm
载波泄漏	0 dB 衰减	--	-50	--	dBc
	40 dB 衰减	--	-40	--	dBc
本底噪声	90 MHz 偏移	--	-148	--	dBm/Hz
隔离 (TX1 至 TX2)		--	50	--	dB
隔离 (TX2 至 TX1)		--	50	--	dB
发射器, 2.4GHz					
输出 S22		--	暂未测试	--	dB
最大输出功率	1 MHz 信号音(50Ω负载)	--	7	--	dBm
调制精度(EVM)	40MHz 参考时钟	--	-40	--	dB
三阶输出交调载点		--	17.5	--	dBm
载波泄漏	0 dB 衰减	--	-50	--	dBc

	40 dB 衰减	--	-44	--	dBc
本底噪声	90 MHz 偏移	--	-138	--	dBm/Hz
隔离 (TX1 至 TX2)		--	50	--	dB
隔离 (TX2 至 TX1)		--	50	--	dB
发射器, 5.5GHz					
输出 S22		--	暂未测试	--	dB
最大输出功率	77MHz 信号音(50Ω负载)	--	7	--	dBm
调制精度(EVM)	40MHz 参考时钟 ((针对 RF 频率合成器内部加倍))	--	-40	--	dB
三阶输出交调载点		--	17.5	--	dBm
载波泄漏	0 dB 衰减	--	-50	--	dBc
	40 dB 衰减	--	-44	--	dBc
本底噪声	90 MHz 偏移	--	-138	--	dBm/Hz
隔离 (TX1 至 TX2)		--	50	--	dB
隔离 (TX2 至 TX1)		--	50	--	dB

推荐工作条件

- VDD_GPO=3.3V
- VDD_INTERFACE=1.8V
- 所有其它 VDDx 引脚=1.3V
- 温度: 25°C
- 输入参考时钟: 40MHz

绝对最大额定值

- VDDx 至 VSSx: -0.3 V 至+1.4 V
- VDD_INTERFACE 至 VSSx: -0.3 V 至+3.0 V
- VDD_GPO 至 VSSx: -0.3 V 至+3.9 V
- 逻辑输入和输出至 VSSx: -0.3 V 至 VDD_INTERFACE + 0.3 V
- 输入电流至除电源引脚外的任何引脚: ±10 mA
- RF 输入(峰值功率): 2.5 dBm
- TX 监控器输入功率(峰值功率) : 9 dBm
- 封装功耗: (TJMAX - TA)/θJA
- 结温 (TJ) : 110°C;

- 工作温度范围：-40°C~85°C
- 贮存温度 (Tstg)：-65°C~150°C

引脚配置与功能描述

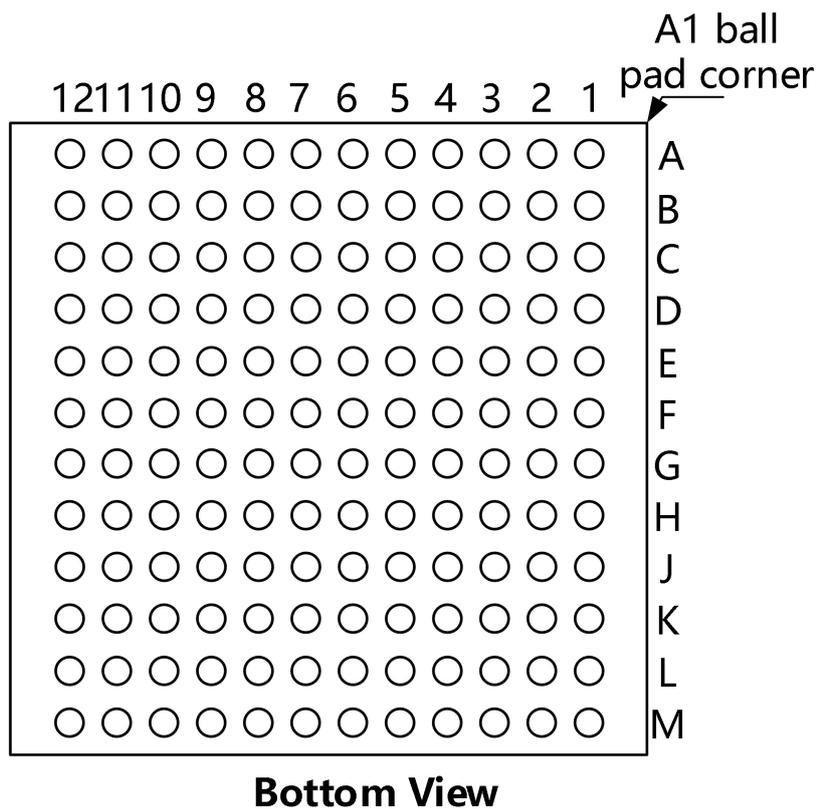


图 2.引脚分布图

引脚编号		引脚名称	描述
A1, A2	I	RX2A_N, RX2A_P	接收通道 2 差分输入 A。或者, 每个引脚都可作为单端输入或者结合形成差分对。将未使用的引脚接地。
A3, M3	NC	NC	不连接。请勿连接到这些引脚。
A4, A6, B1, B2, B12, C2, C7 to C12, F3, H2, H3, H6, J2, K2, L2, L3, L7 to	I	VSSA	模拟地。将这些引脚直接连接至印刷电路板上的 VSSD 数字地(一个接地层)。

L12, M4, M6			
A5	I	TX_MON2	发射通道 2 功率监控输入。若未使用此引脚，则将其接地。
A7, A8	O	TX2A_N, TX2A_P	发射通道 2 差分输出 A。将未使用的引脚连接至 1.3V。
A9, A10	O	TX2B_N, TX2B_P	发射通道 2 差分输出 B。将未使用的引脚连接至 1.3V。
A11	I	VDDA1P1_TX_VCO	发射 VCO 电源输入。连接至 B11。
A12	I	TX_EXT_LO_IN	外部发射 LO 输入。若未使用此引脚，则将其接地。
B3	O	AUXDAC1	辅助 DAC 1 输出。
B4 至 B7	O	GPO_3 to GPO_0	支持 3.3 V 的通用输出。
B8	I	VDD_GPO	2.5 V 至 3.3 V 电源，支持 AUXDAC 和通用输出引脚。不使用 VDD_GPO 电源时，必须将该电源设为 1.3 V。
B9	I	VDDA1P3_TX_LO	发射 LO 1.3V 电源输入。
B10	I	VDDA1P3_TX_VCO_LDO	发射 VCO LDO 1.3 V 电源输入。连接至 B9。
B11	O	TX_VCO_LDO_OUT	发射 VCO LDO 输出。连接至 A11，将一个 1 μ F 旁路电容与一个 1 Ω 电阻串联接地。
C1, D1	I	RX2C_P, RX2C_N	接收通道 2 差分输入 C。每个引脚都可作为单端输入或者结合形成差分对。这些输入在 3 GHz 以上时性能会下降。将未使用的引脚接地。
C3	O	AUXDAC2	辅助 DAC 2 输出。
C4	I	测试/使能	测试输入。正常工作时，将该引脚接地。
C5, C6, D5, D6	I	CTRL_IN0 至 CTRL_IN3	控制输入。用于手动 RX 增益和 TX 衰减控制。
D2	I	VDDA1P3_RX_RF	接收器 1.3 V 电源输入。连接至 D3。
D3	I	VDDA1P3_RX_TX	1.3 V 电源输入。
D4, E4 至 F4 至 F6, G4	O	CTRL_OUT0, CTRL_OUT1 至 CTRL_OUT3, CTRL_OUT6 至 CTRL_OUT4, CTRL_OUT7	控制输出。这些引脚是多功能输出，具有可编程功能。
D7	I/O	P0_D9/TX_D4_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D9，它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者，该引脚(TX_D4_P) 也可作为 LVDS 6 位 TX 差分输入总线(带内部

			LVDS 端子)的一部分。
D8	I/O	P0_D7/TX_D3_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D7, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D3_P)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D8	I/O	P0_D5/TX_D2_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D5, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D2_P)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D10	I/O	P0_D3/TX_D1_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D3, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D1_P)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D11	I/O	P0_D1/TX_D0_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D1, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D0_P)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
D12, F7, F9,F11, G12, H7, H10, K12	I	VSSD	数字地。将这些引脚直接连接至印刷电路板上的 VSSA 模拟地(一个接地层)。
E1, F1	I	RX2B_P, RX2B_N	接收通道 2 差分输入 B。每个引脚都可作为单端输入或者相结合从而形成差分对。这些输入在 3 GHz 以上时性能会下降。将未使用的引脚接地。
E2	I	VDDA1P3_RX_LO	接收 LO 1.3 V 电源输入。
E3	I	VDDA1P3_TX_LO_ BUFFER	1.3 V 电源输入。
E7	I/O	P0_D11/TX_D5_P	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D11, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D5_P)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E8	I/O	P0_D8/TX_D4_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D8, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D4_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。

E9	I/O	P0_D6/TX_D3_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D6, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D3_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E10	I/O	P0_D4/TX_D2_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D4, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D2_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E11	I/O	P0_D2/TX_D1_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D2, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D1_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
E12	I/O	P0_D0/TX_D0_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D0, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D0_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
F2	I	VDDA1P3_RX_VCO_LDO	接收 VCO LDO 1.3 V 电源输入。连接至 E2。
F8	I/O	P0_D10/TX_D5_N	数字数据端口 P0/发射差分输入总线。这是双功能引脚。对于 P0_D10, 它充当 12 位双向并行 CMOS 电平数据端口 0 的一部分。或者, 该引脚(TX_D5_N)也可作为 LVDS 6 位 TX 差分输入总线(带内部 LVDS 端子)的一部分。
F10, G10	I	FB_CLK_P,FB_CLK_N	反馈时钟。这些引脚接收作为 TX 数据时钟的 FB_CLK 信号。在 CMOS 模式中, 以 FB_CLK_P 为输入, 将 FB_CLK_N 接地。
F12	I	VDDD1P3_DIG	1.3 V 数字电源输入。
G1	I	RX_EXT_LO_IN	外部接收 LO 输入。若未使用此引脚, 则将其接地。
G2	O	RX_VCO_LDO_OUT	接收 VCO LDO 输出。将该引脚直接连至 G3, 将一个 1 μF 旁路电容与一个 1Ω电阻串联接地。
G3	I	VDDA1P1_RX_VCO	接收 VCO 电源输入。将该引脚只直接连至 G2。
G5	I	EN_AGC	用于自动增益控制(AGC)的手动控制输入。
G6	I	使能	控制输入。该引脚使器件在各种运行状态之间移动。
G7, G8	O	RX_FRAME_N, RX_FRAME_P	接收数字数据帧输出信号。这些引脚发射 RX_FRAME 信号, 用于指示 RX 输出数据是否有效。在 CMOS 模式下, 以 RX_FRAME_P 为

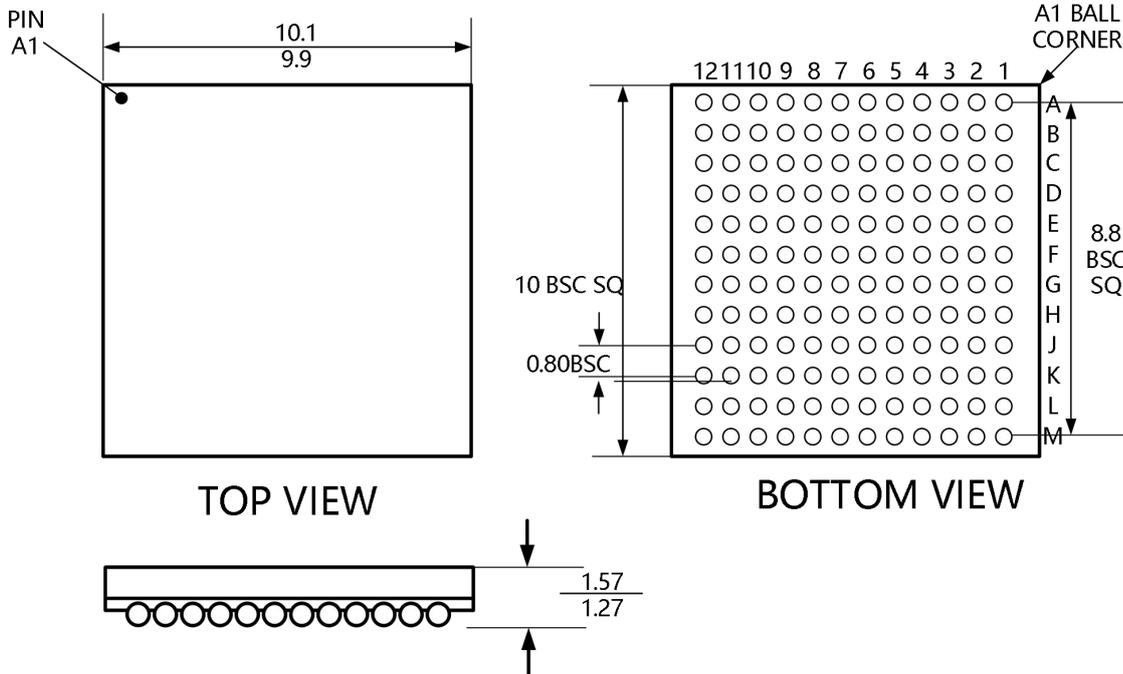
			输出, 使 RX_FRAME_N 保持断开状态。
G9, H9	I	TX_FRAME_P, TX_FRAME_N	发射数字数据帧输入信号。这些引脚接收用于指示 TX 数据何时有效的 TX_FRAME 信号。在 CMOS 模式中, 以 TX_FRAME_P 为输入, 将 TX_FRAME_N 接地。
G11, H11	O	DATA_CLK_P, DATA_CLK_N	接收数据时钟输出。这些引脚发射 DATA_CLK 信号, BBP 用这些信号为 RX 数据提供时钟。在 CMOS 模式下, 以 DATA_CLK_P 为输出, 使 DATA_CLK_N 保持断开状态。
H1,J1	I	RX1B_P, RX1B_N	接收通道 1 差分输入 B。另外, 每个引脚均可用作单端输入。这些输入在 3 GHz 以上时性能会下降。将未使用的引脚接地。
H4	I	TXNRX	使能状态机控制信号。该引脚控制数据端口总线方向。逻辑低电平选择 RX 方向, 逻辑高电平选择 TX 方向。
H5	I	SYNC_IN	用于同步多个 CBMRF001 器件之间数字时钟的输入。若未使用此引脚, 则将其接地。
H8	I/O	P1_D11/RX_D5_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D11, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D5_P)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
H12	I	VDD_INTERFACE	数字 I/O 引脚, 1.2 V 至 2.5 V 电源(LVDS 模式下为 1.8 V 至 2.5 V)。
J3	I	VDDA1P3_RX_SYNTH	1.3 V 电源输入。
J4	I	SPI_DI	SPI 串行数据输入。
J5	I	SPI_CLK	SPI 时钟输入。
J6	O	CLK_OUT	输出时钟。可将该引脚配置为输出缓冲版外部输入时钟 DCXO, 或者输出分频版内部 ADC_CLK。
J7	I/O	P1_D10/RX_D5_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D10, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D5_N)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J8	I/O	P1_D9/RX_D4_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D9, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D4_P)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。

J9	I/O	P1_D7/RX_D3_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D7, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D3_P)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J10	I/O	P1_D5/RX_D2_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D5, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D2_P)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J11	I/O	P1_D3/RX_D1_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D3, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D1_P)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
J12	I/O	P1_D1/RX_D0_P	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D1, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D0_P)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K1, L1	I	RX1C_P, RX1C_N	接收通道 1 差分输入 C。另外, 每个引脚均可用作单端输入。这些输入在 3 GHz 以上时性能会下降。将未使用的引脚接地。
K3	I	VDDA1P3_TX_SYNTH	1.3 V 电源输入。
K4	I	VDDA1P3_BB	1.3 V 电源输入。
K5	I	RESETB	异步复位。逻辑低电平复位器件。
K6	I	SPI_ENB	SPI 使能输入。将该引脚设为逻辑低电平, 以使能 SPI 总线。
K7	I/O	P1_D8/RX_D4_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D8, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D4_N)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K8	I/O	P1_D6/RX_D3_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D6, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D3_N)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K9	I/O	P1_D4/RX_D2_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D4, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D2_N)也可作为 LVDS 6 位 RX 差分输出总线(带内部

			LVDS 端子)的一部分。
K10	I/O	P1_D2/RX_D1_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D2, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D1_N)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
K11	I/O	P1_D0/RX_D0_N	数字数据端口 P1/接收差分输出总线。这是双功能引脚。对于 P1_D0, 它充当 12 位双向并行 CMOS 电平数据端口 1 的一部分。或者, 该引脚(RX_D0_N)也可作为 LVDS 6 位 RX 差分输出总线(带内部 LVDS 端子)的一部分。
L4	I	RBIAS	偏置输入参考。通过一个 14.3 kΩ(1%容差)电阻将此引脚接地。
L5	I	AUXADC	辅助 ADC 输入。若未使用此引脚, 则将其接地。
L6	O	SPI_DO	4 线模式的 SPI 串行数据输出, 或者 3 线模式下的高 Z。
M1, M2	I	RX1A_P, RX1A_N	接收通道 1 差分输入 A。另外, 每个引脚均可用作单端输入。将未使用的引脚接地。
M5	I	TX_MON1	发射通道 1 功率监控输入。未使用此引脚时, 将其接地。
M7, M8	O	TX1A_P, TX1A_N	发射通道 1 差分输出 A。将未使用的引脚连接至 1.3 V。
M9, M10	O	TX1B_P, TX1B_N	发射通道 1 差分输出 B。将未使用的引脚连接至 1.3 V。
M11, M12	I	XTALP, XTALN	参考频率晶振连接。使用晶振时, 将其连接于这两个引脚之间。使用外部时钟源时, 将其连接至 XTALN, 使 XTALP 保持断开。
I 为输入, O 为输出, I/O 为输入/输出, NC 为未连接。			

封装外形尺寸

BGA-144



包装/订购信息

产品名称	订单编码	温度范围	产品封装	运输及包装数量	包装标记
CBMRF001		-40°C~85°C	BGA-144		

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.7.2		常规更新	WW	LYL	初始版本