

## 产品特性

- 信噪比 ( SNR ) : 77dBFS (9.7MHz, VREF=1.3V)
- 信噪比 ( SNR ) : 75dBFS (9.7MHz, VREF=1.0V)
- 无杂散动态范围 (SFDR) : 86dBc(至奈奎斯特频率, VREF=1.3V)
- 无杂散动态范围 (SFDR) : 91dBc(至奈奎斯特频率, VREF=1.0V)
- 串行 LVDS 输出
- 模拟输入范围 (可调) : 2.0 Vp-p/2.6Vp-p
- 1.8V 电源供电
- 低功耗: 125MHz 模式每通道功耗 $\leq$ 195mW
- 微分非线性 (DNL) :  $\pm 0.6$ LSB
- 积分非线性 (INL) :  $\pm 5.0$ LSB
- 650MHz 全功率模拟输入带宽
- 串行端口控制:
  - 全芯片、独立通道省电模式 (Power Down)
  - 内建、用户自定义测试模式
  - 多芯片同步和时钟分频功能
  - 待机模式

## 产品应用

- 医疗成像
- 高速成像
- 无线电接收机
- 便携式测量设备

## 产品描述

本产品是一款 4 通道, 14 位, 125 MSPS 采样率的模数转换器(Analog-to-Digital Converter, ADC), 专门针对低功耗、小尺寸和使用灵活性进行开发设计。该产品转换速率最高可达到 125 MSPS, 具有优异的动态性能和超低功耗特性, 适用多种应用场景。

该 ADC 采用 1.8V 单电源供电和 LVPECL /CMOS/LVDS 兼容型采样时钟信号。无需外部基准电压源和驱动器即可满足需求。

支持独立关闭内部各通道功能; 禁用全部通道后, 典型功耗小于 14mW。该 ADC 内置多种功能, 包括可编程时钟输出、数据对齐、生成数字测试码等。可获得的数字测试码包括: 内置固定测试码和伪随机测试码, 也支持用户通过串行端口接口(SPI) 自定义测试码的方式。

本产品采用 48 引脚封装(QFN48), 该 ADC 额定工作范围为:  $-40^{\circ}\text{C}$ 到 $+85^{\circ}\text{C}$ 。

该产品可插拔替换美国 ADI 公司的 AD9253。

## 目 录

产品特性.....	1
产品应用.....	1
产品描述.....	1
目录.....	2
修订日志.....	3
功能框图.....	4
引脚配置与功能描述.....	5
技术规格.....	7
时序图.....	9
推荐工作条件.....	10
绝对最大额定值.....	10
典型性能.....	11
等效电路.....	12
工作原理.....	14
封装外形尺寸.....	27
包装/订购信息.....	28

## 修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.3.12			WW	LYL	初版生成

## 功能框图

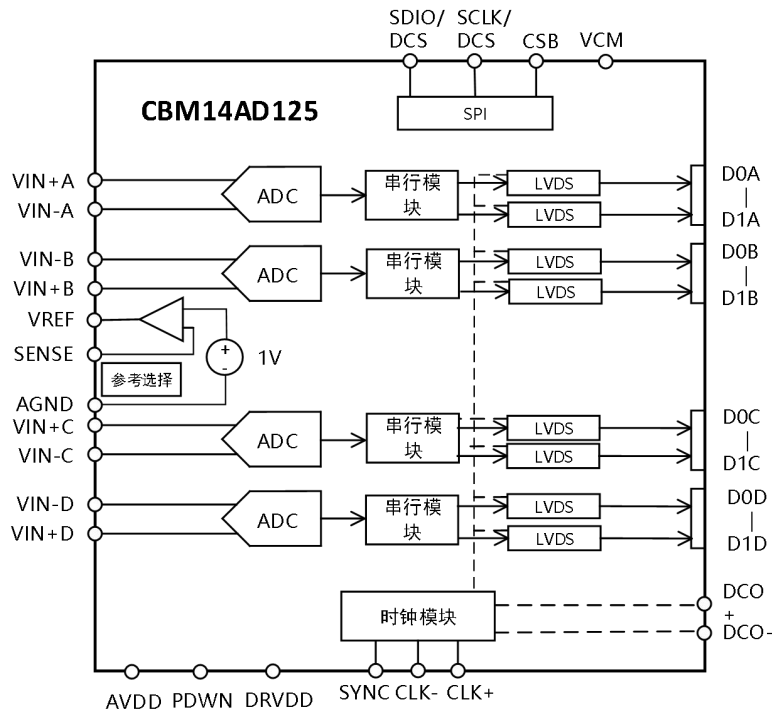


图 1. 功能框图

## 引脚配置与功能描述

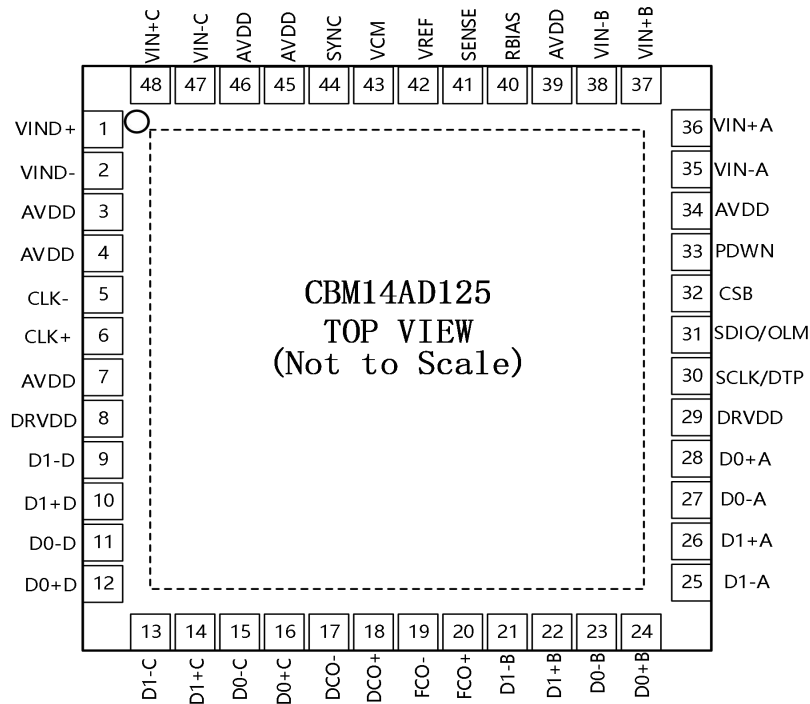


图 2. 引脚配置

引脚编号	符号	引脚描述
0	AGND, Exposed Pad	模拟地，裸露焊盘。封装底部的裸露热焊盘为器件提供了模拟地。为了确保器件正常工作，这个裸露焊盘必须连接到地。
1	VIN+D	ADC模拟输入D+
2	VIN-D	ADC模拟输入D-
3,4,7,34,39,45,46	AVDD	1.8 V模拟电源引脚
5,6	CLK-, CLK+	差分编码时钟。PECL、LVDS或1.8伏CMOS输入。
8,29	DRVDD	数字输出驱动电源
9,10	FCO-, FCO+	帧时钟输出
11,12	D0-D, D0+D	通道D数字输出，（在单通道模式1中禁用）。
13,14	D1-C, D1+C	通道C数字输出，（在单通道模式1中为通道D数字输出）。

15,16	D0-C, D0+C	通道C数字输出
17,18	DCO-, DCO+	数据时钟输出
19,20	FCO-, FCO+	帧时钟输出
21,22	D1-B, D1+B	通道B数字输出
23,24	D0-B, D0+B	通道B数字输出, (在单通道模式1中为通道A数字输出)。
25,26	D1-A, D1+A	通道A数字输出, (在单通道模式1中禁用)。
27,28	D0-A, D0+A	通道A的数字输出, (在单通道模式1下被禁用)。
30	SCLK/DTP	SPI时钟输入/数字测试模式。
31	SDIO/OLM	SPI数据输入输出双向SPI数据/输出通道模式。
32	CSB	SPI片选反向。低电平有效; 内部集成了30千欧的上拉电阻。
33	PDWN	数字输入, 内置30kΩ下拉电阻。PDWN为高电平时, 设备进入电源关闭状态。PDWN为低电平时, 设备运行, 正常操作。
35	VIN-A	ADC模拟输入A-
36	VIN+A	ADC模拟输入A+
37	VIN+B	ADC模拟输入B+
38	VIN-B	ADC模拟输入B-
40	RBIAS	设置模拟电流偏置。连接到接地的10kΩ (1%公差) 电阻上。
41	SENSE	基准模式选择
42	VREF	基准电压输入和输出
43	VCM	中间供电电压的模拟输出。如图15和图16所示, 设置ADC外部模拟输入的共模。
44	SYNC	数字输入。作为时钟分频器的SYNC输入。
47	VIN-C	ADC模拟输入C-
48	VIN+C	ADC模拟输入C+

## 技术规格

### 电气特性

(除另有规定外,  $V_{PP}=2.0V$ ,  $V_{AVDD}=V_{DRVDD}=1.8V$ ,  $AGND=0V$ ,  $F_s=125MSPS$ ,  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ .)

参数	条件	最小值	典型值	最大值	单位
分辨率 (RES)			14		位
通道数 (N)			4		--
失调误差 ( $E_o$ )		-0.9	+0.3	-0.26	% FSR
增益误差 ( $E_g$ )		-14	+5	-4	% FSR
微分非线性(DNL) (EDL)	$f_{IN}=10MHz$	-0.99	+1.5	$\pm 0.3$	LSB
积分非线性(INL)(EIL)	$f_{IN}=10MHz$	-10	+10	$\pm 2$	LSB
内部基准电压源 ( $V_{REF}$ )		0.95	1.05	1	V
模拟输入共模电压范围 (VCM)		0.8	1	0.9	V
功耗 (PW)		--	750	--	mW
转换率 (SR)		20	125	--	MSPS
信噪比 (SNR)		69	--	75.9	dBFS
信噪失真比 (SINAD)		68	--	75.5	dBFS
有效位 (ENOB)		11	--	12.1	bits
无杂散动态范围 (SFDR)		82	--	89	dBFS
逻辑输入高电平 (SCLK、SDIO、CSB)		1.2	1.8	--	V
逻辑输入低电平 (SCLK、SDIO、CSB)		0	0.75	--	V

### 开关规格

$AV_{DD}=1.8V$ ,  $DRV_{DD}=1.8V$ , 如无特殊说明,  $A_{IN}=-1.0dBFS$

参数	温度	最小值	典型值	最大值	单位
<b>时钟参数</b>					
输入时钟速率	全温	20	--	1000	dBFS
转换速率		20	--	125	dBFS
时钟高电平脉冲宽度 (tEH)		--	4	--	dBFS
时钟低电平脉冲宽度 (tEL)		--	4	--	dBFS

数据输出参数					
数据输出占空比	全温	--	50	--	%
唤醒时间	25°C	--	250	--	ns
待机	25°C	--	375	--	μs
流水线延迟	25°C	--	16	--	周期
传输延迟	全温	--	2.3	--	ns
输出上升时间	全温	--	300	--	ps
输出下降时间	全温	--	300	--	ps
孔径参数					
孔径延迟(tA)	25°C	--	1	--	ns
孔径不确定性 (抖动, tJ)	25°C	--	135	--	fs rms
超范围恢复时间	25°C	--	1	--	周期

### 时序规格

参数	条件	限值
<b>SPI时序要求</b>		
$t_{DS}$	数据与 SCLK 上升沿之间的建立时间	2 ns,典型值
$t_{DH}$	数据与 SCLK 上升沿之间的保持时间	2 ns,典型值
$t_{CLK}$	SCLK 周期	40 ns,最小值
$t_S$	CSB 与 SCLK 之间的建立时间	2 ns,最小值
$t_H$	CSB 与 SCLK 之间的保持时间	2 ns,最小值
$t_{HIGH}$	SCLK 高电平脉冲宽度	10 ns,最小值
$t_{LOW}$	SCLK 低电平脉冲宽度	10 ns,最小值
$t_{EN\_SDIO}$	相对于 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态所需的时间	10 ns,最小值
$t_{DIS\_SDIO}$	相对于 SCLK 上升沿, SDIO 引脚从输出状态切换到输入状态所需的时间	10 ns,最小值



**时序图**

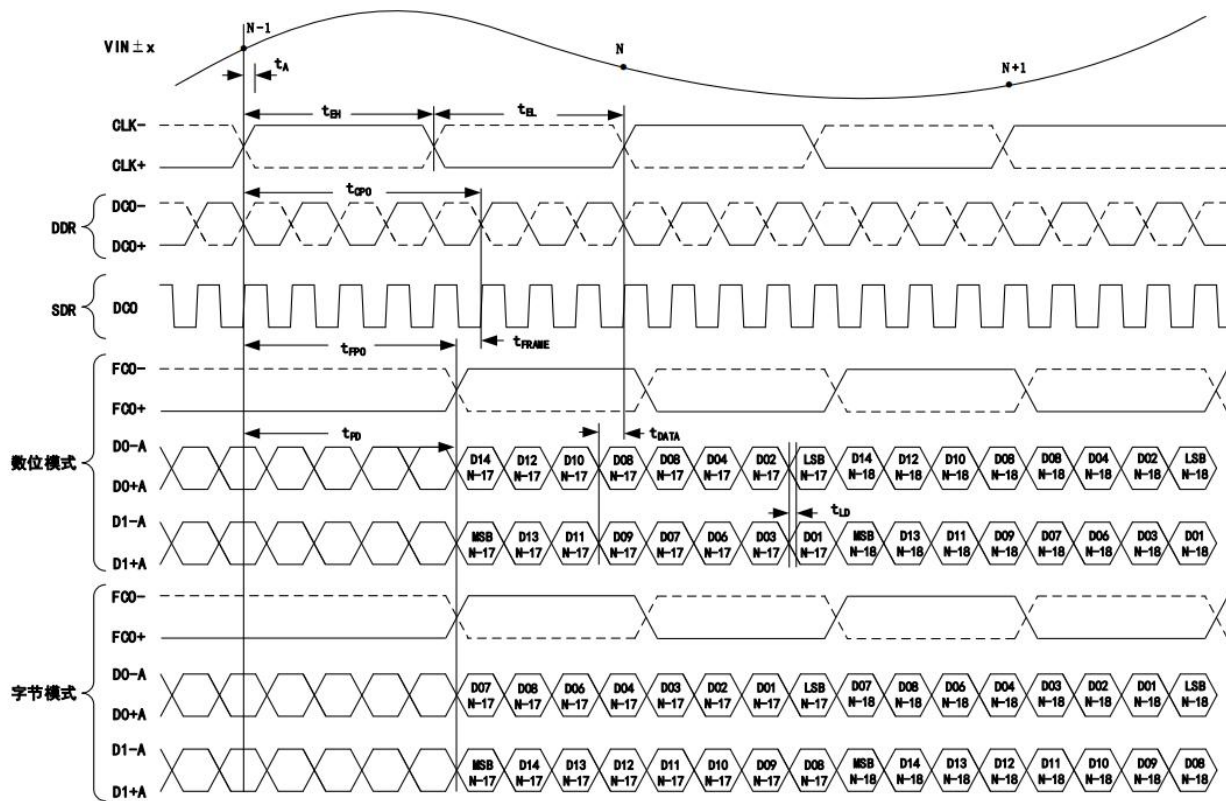


图 5. 数据输出时序

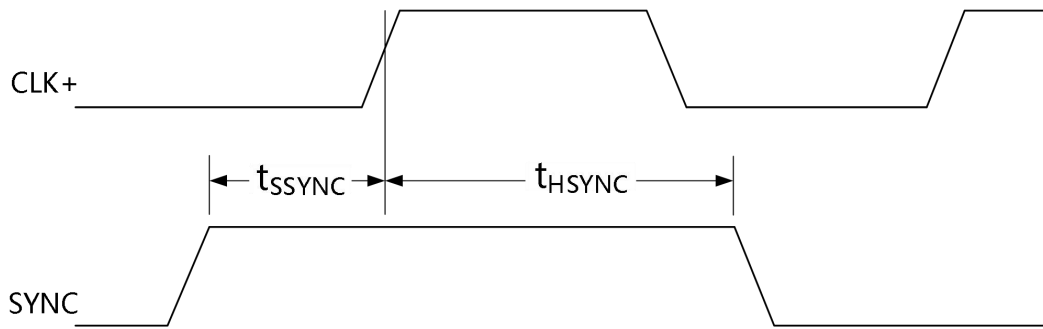


图 6. SYNC 输入时序要求

## 推荐工作条件

- 工作频率 ( $f_{CLK}$ ) :  $\leq 125\text{MHz}$
- 模拟电源电压 (AVDD) :  $1.75\text{V}\sim 1.9\text{V}$
- 数字电源电压 (DVDD) :  $1.75\text{V}\sim 1.9\text{V}$
- 模拟输入共模电压 (VCM) :  $0.5\text{V}\sim 1.3\text{V}$
- 工作环境温度 ( $T_A$ ) :  $-40^\circ\text{C}$  至  $+85^\circ\text{C}$
- 输入信号幅度范围 (峰峰值) :  $(V_{IN(P-P)}) \leq 2\text{V}$

## 绝对最大额定值

参数	范围
模拟电源电压 (VAVDD)	2V
数字电源电压 (VDRVDD)	2V
结温	150°C
存储温度范围	-65°C 至 150°C

## 典型性能

如无特别说明，测试条件如下：AVDD=1.8V,DRVDD=1.8V,SVDD=1.8V，采样率 125MSPS，2Vp-p 的差分输入，VIN=-1dBfs，TA=25°C。

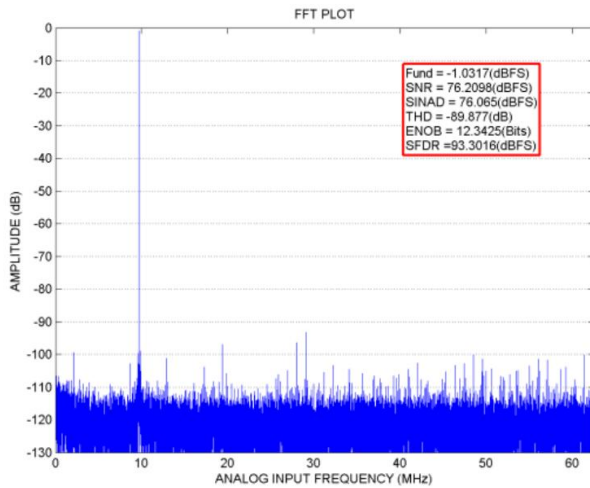


图 7. 单音 32K( $f_{IN}=10\text{MHz}$ ,  $f_S=125\text{MSPS}$ )

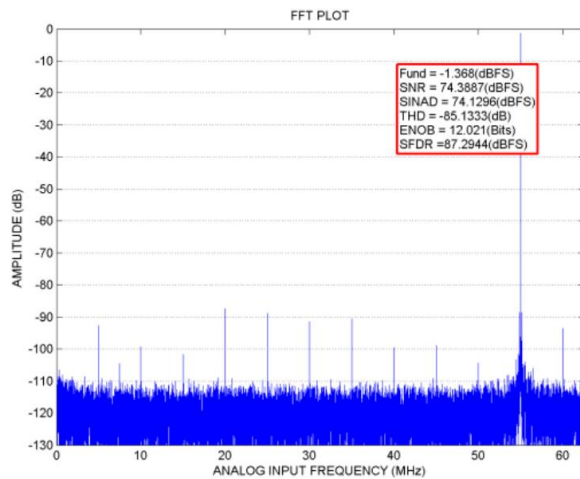


图 8. 单音 32K( $f_{IN}=70\text{MHz}$ ,  $f_S=125\text{MSPS}$ )

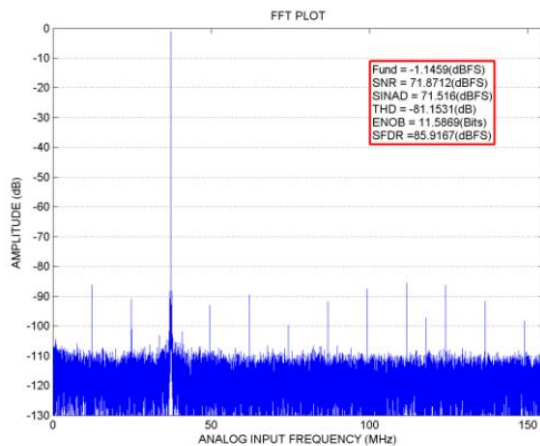


图 9. 单音 32K( $f_{IN}=140\text{MHz}$ ,  $f_S=125\text{MSPS}$ )

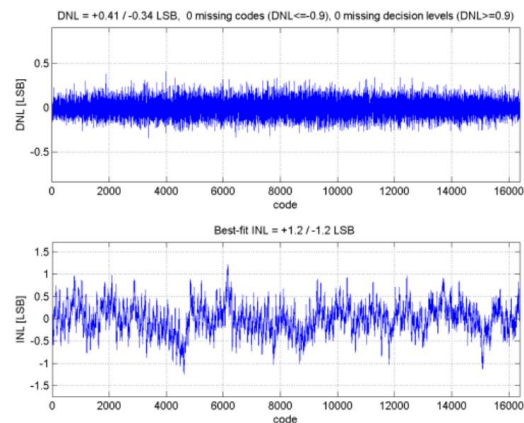


图 10. DNL/INL( $f_{IN}=10\text{MHz}$ ,  $f_S=125\text{MSPS}$ )

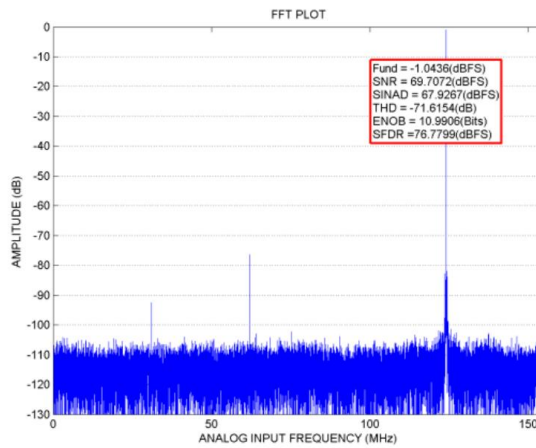


图 11. SFDR、SNR 与输入频率的关系

## 等效电路

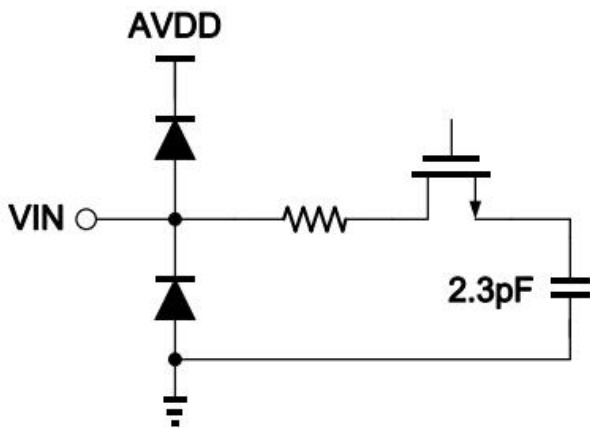


图 12 等效模拟输入电路

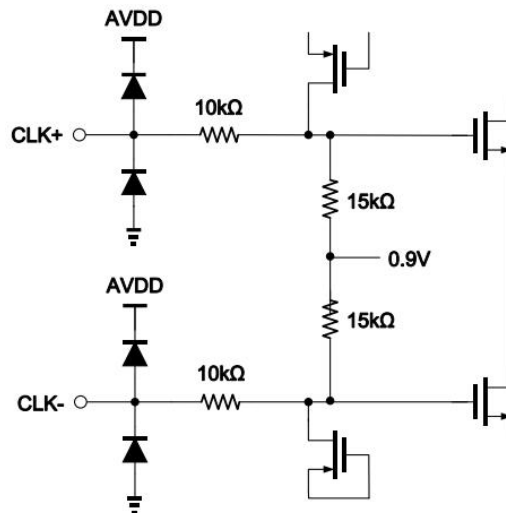


图 13 等效时钟输入电路

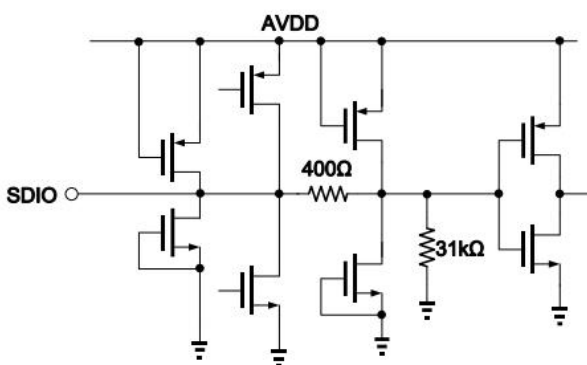


图 14 等效 SDIO 输入电路

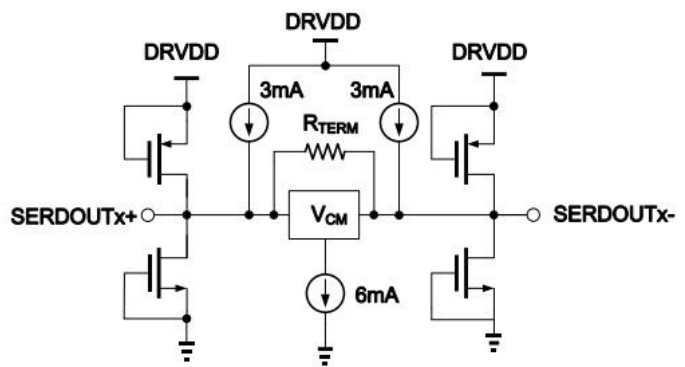


图 15 等效 SERDOUT±电路

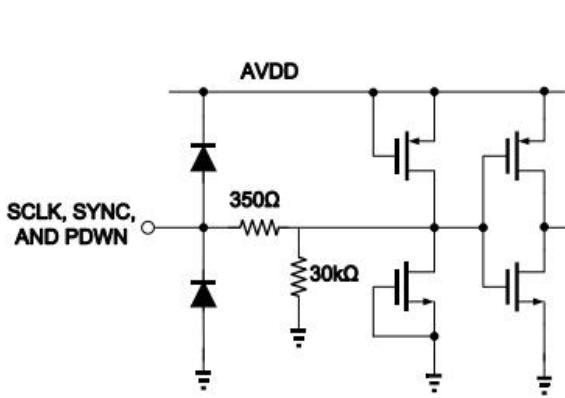


图 16 等效 SCLK, SYNC, PDWN 电路

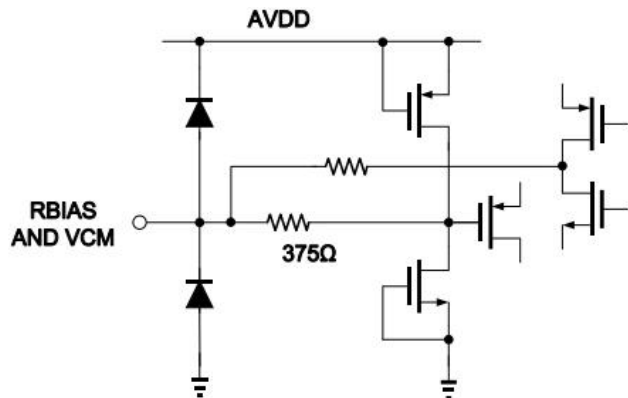


图 17 等效 RBIAS,VCM 电路

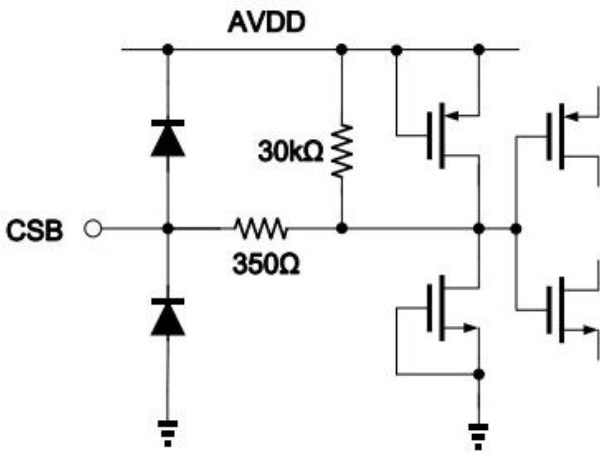


图 18 等效 CSB 输入电路

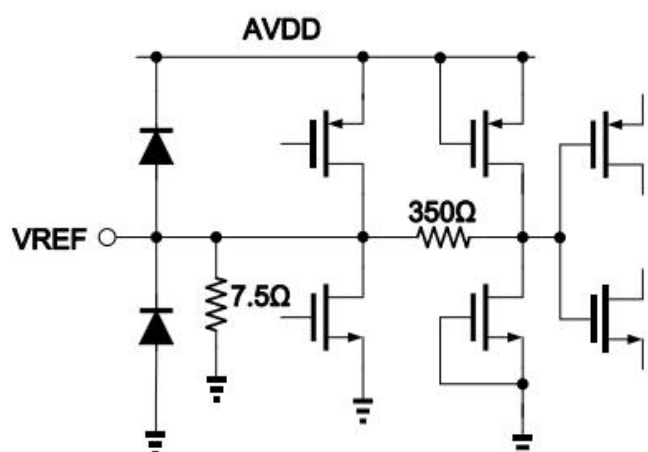


图 19 等效 VREF 电路

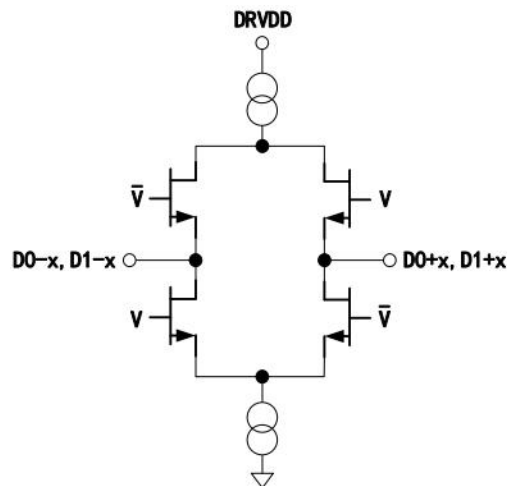


图 20 等效输出电路

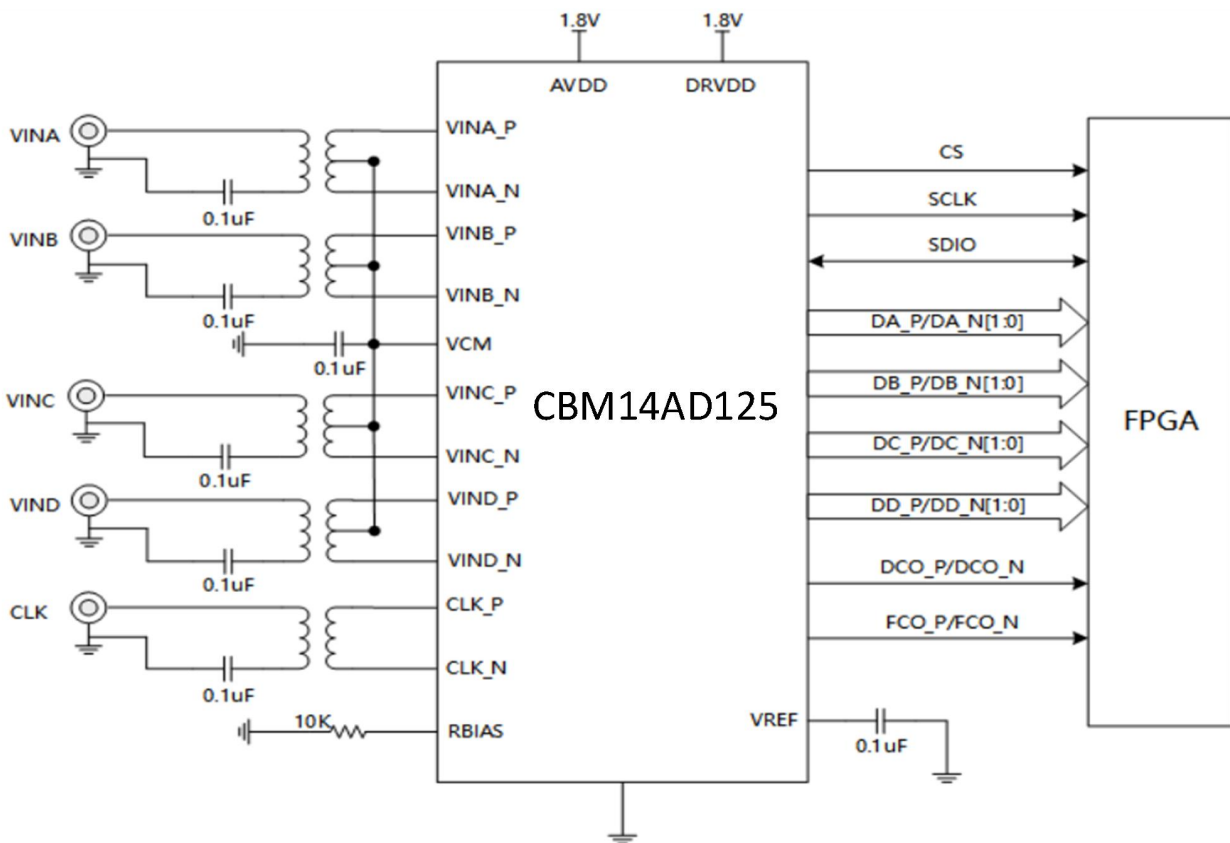


图 21 CBM14AD125 典型应用路线 (2Vpp 模式)

## 工作原理

本产品内核使用多级流水线型 ADC 架构，各级提供一位冗余位消除粗量化比较器的失调误差。各级流水线量化结构在数字域由移位加法器重构形成 14 位转换结果。串化器以十四位输出格式发送该转换结果。除最后一级以外，流水线的每一级都由一个低分辨率 Flash 型 ADC、与之相连的一个开关电容 DAC 和一个级间余量放大器(例如乘法数模转换器[MDAC])组成。余量放大器放大重构 DAC 输出与 Flash 型输入之差，以便提供给流水线的下一级。为了帮助对 Flash 误差进行数字校正，每一级设定了一位冗余量。最后一级仅由一个 Flash 型 ADC 组成。

### ● 模拟输入端

本产品的模拟输入端为一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

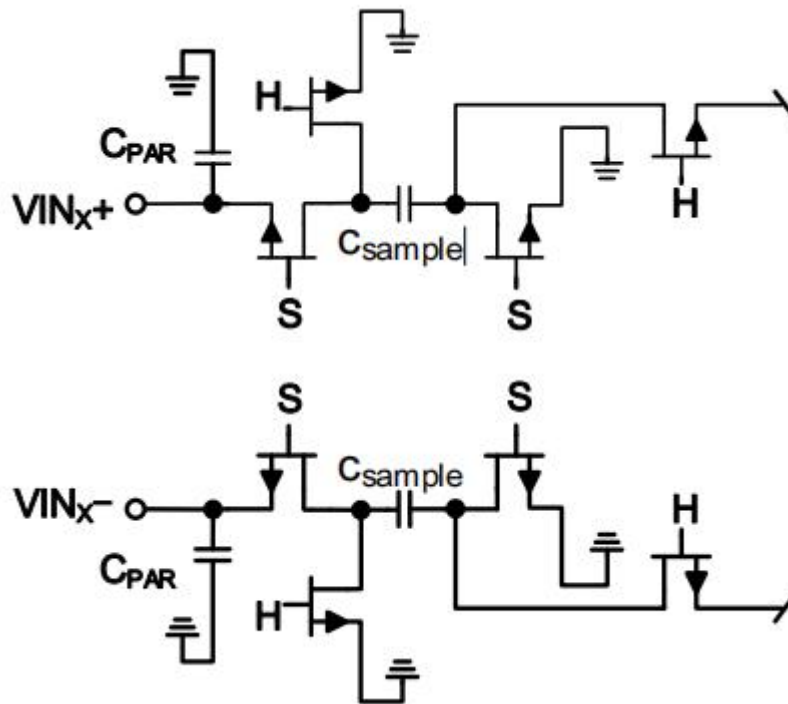


图 22 开关电容输入电路

输入电路根据时钟信号在采样模式和保持模式之间切换(见图 22)。当输入电路切换到采样模式时,信号源必须能够对采样电容充电,并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻,帮助降低从驱动源输出级注入的峰值瞬态电流。此外,输入端的每一侧可以使用低 Q 电感或铁氧体磁珠,以减小模拟输入端的高差分电容,从而实现 ADC 的最大带宽。在高中频(IF)下驱动转换器前端时,必须使用低 Q 电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容,以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器,用来限制无用的宽带噪声。

#### ● 输入共模电平

本产品的模拟输入端无内部直流偏置,在交流耦合应用中,用户必须提供外部偏置。为了获得最佳的动态性能,用户必须对器件进行配置,使输入共模电平  $V_{CM} = AV_{DD}/2$ 。本产品通过引脚 VCM 提供片内基准电压,必须使用一个 0.1F 电容将 VCM 引脚旁路到地。在差分配置中,将器件输入设置为最大范围可以实现最高的信噪比(SNR)性能,对于本产品输入范围取决于基准电压,超过输入范围性能将急剧恶化。

#### ● 差分输入配置

有多种有源和无源方式可以有效驱动本产品,通过差分方式驱动可以抑制偶次谐波从未获得最佳性能。在基带应用中,利用差分巴伦配置驱动本产品能够为 ADC 提供出色的性能和灵活接口(参考图 23)。

在 SNR 为关键参数的应用中,因为绝大部分放大器的噪声性能不足以满足本产品的真实性能,所以输入配置要求采用差分变压器耦合(参考图 24)。



以上两种应用中的电容 C1 的选值需要和输入频谱配合选择, 建议转换高频模拟输入信号时减小该电容容值或者移除该电容。

不建议单端输入方式驱动本产品。

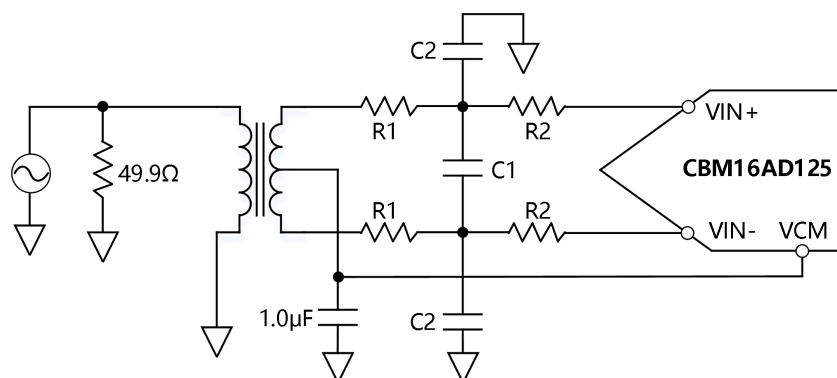


图 23. 差分变压器耦合输入配置

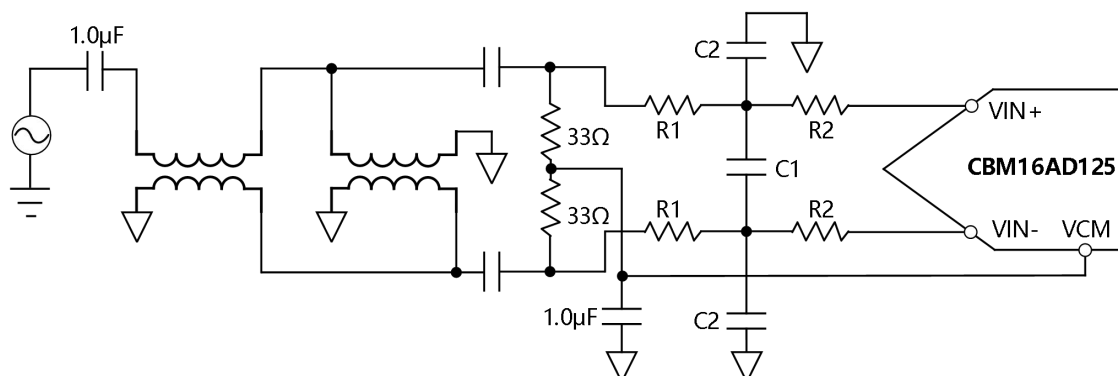


图 24. 差分双巴伦耦合输入配置

RC 网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容 C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)
0 到 100	10~33	5	15	15
100 到 300	10	5	10	10

### ● 基准电压连接

本产品内置稳定、精确的基准电压源。VREF 可以利用内部 1.0 V 基准电压、外部施加的 1.0 V 至 1.3 V 基准电压或作用于内部基准电压的外部电阻分压器来配置，产生用户可选的基准电压。基准电压源模式说明参见“内部基准电压连接”部分和“外部基准电压”部分。VREF 引脚应通过外部一个低等效串联电阻(ESR)1.0μF 电容和一个低 ESR 0.1μF 陶瓷电容的并联旁路至地。

本产品的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成三种可能的模式之一。如果 SENSE 引脚接地，则基准电压放大器开关与内部电阻分压器相连(见图 25)，因而将 VREF 引脚电压



V 设为 1.0 V。如果 SENSE 引脚连接到外部电阻分压器(见图 26), 则 VREF 定义为:  $V_{REF} = 0.5 \times (1 + R2/R1)$  其中,  $7\text{ k}\Omega \leq (R1 + R2) \leq 10\text{ k}\Omega$ 。

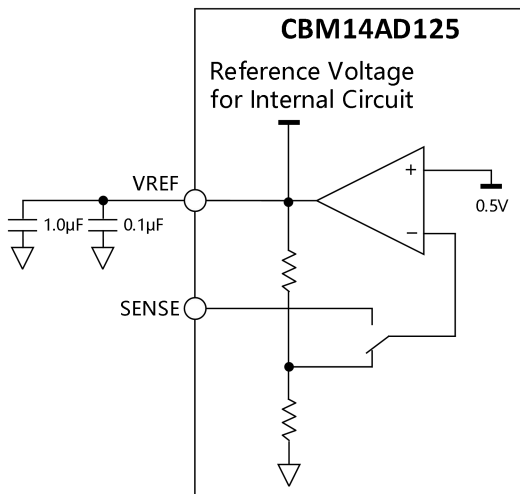


图 25. SENSE 引脚接地模式 (VREF 内部配置模式)

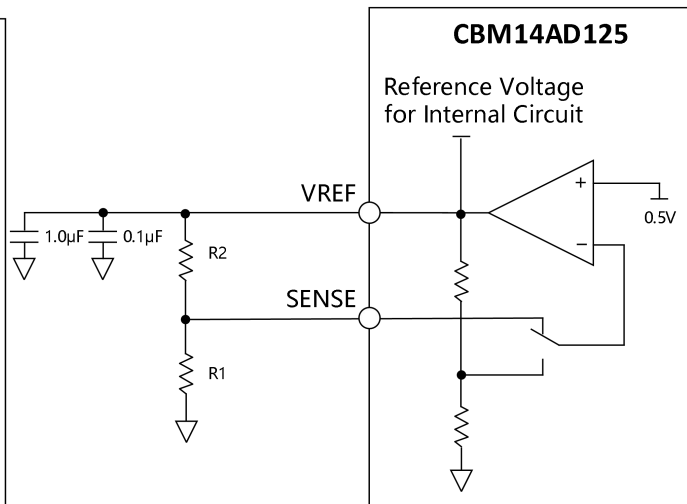


图 26. 外接电阻串模式 (VREF 外部配置模式)

如需利用本产品的内部基准电压来驱动多个转换器, 从而提高增益的匹配度, 则必须考虑到其它转换器对基准电压的负载。图 27 和图 28 显示负载如何影响内部基准电压。

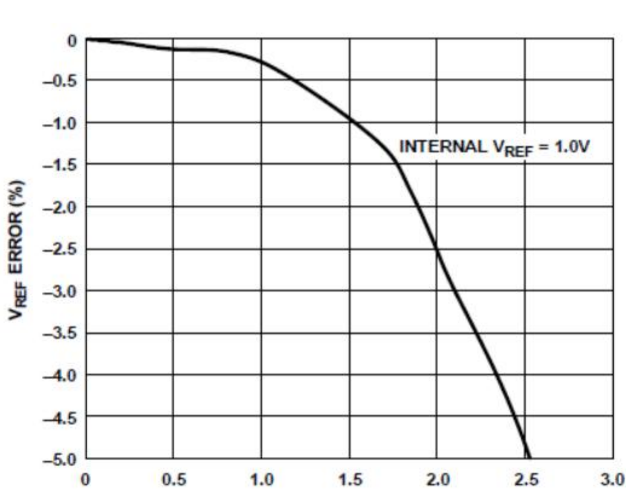


图 27 VREF 误差(内部 VREF = 1.0 V)与负载电流的关系

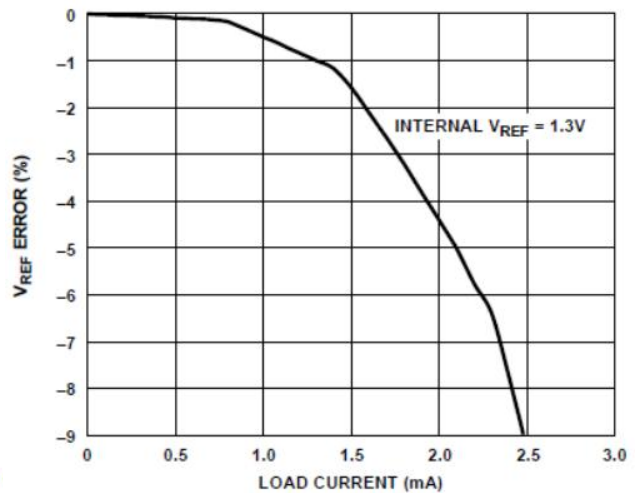


图 28 VREF 误差(内部 VREF = 1.3 V)与负载电流的关系

## ● 外部基准电压

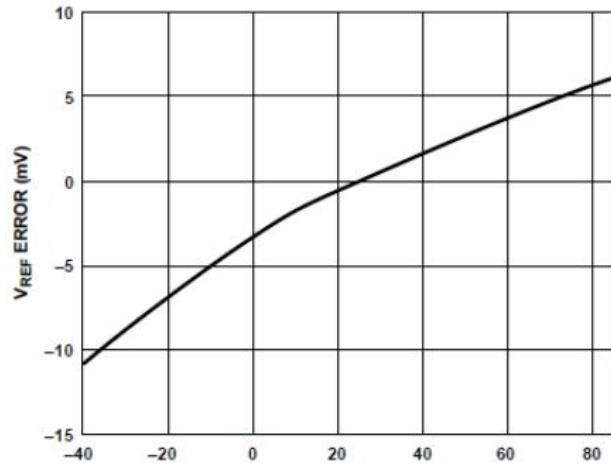
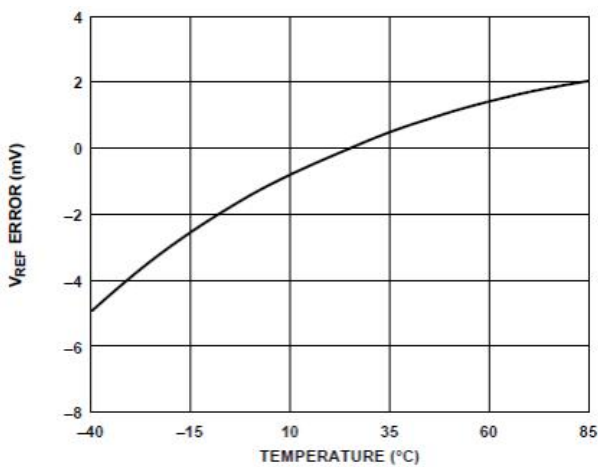


图 29 VREF 误差与温度的关系(VREF = 1.0 V 典型漂移)      图 30 VREF 误差与温度的关系(VREF = 1.3 V 典型漂移)

必须采用外部基准电压才可能进一步提高 ADC 增益精度、改善热漂移特性。图 29 和图 30 显示内部基准电压源分别在 1.0 V 模式和 1.3 V 模式下的典型漂移特性。将 SENSE 引脚与 AVDD 相连时，可以禁用内部基准电压源，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于 7.5 kΩ 负载。内部缓冲器为 ADC 内核生成正、负满量程基准电压。不建议悬空 SENSE 引脚。

### ● 时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为本产品采样时钟输入端(CLK+和 CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到 CLK+和 CLK-引脚内。这两个引脚有内部偏置，无需外部偏置。

### ● 时钟输入选项

本产品具有灵活的时钟输入结构。CMOS、LVDS、LVPECL 或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。对于 125 MHz 至 1GHz 的时钟频率，建议采用射频巴伦配置；对于 40 MHz 至 200 MHz 的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级绕组上的肖特基二极管可以将输入到本产品中的时钟信号限制为约差分 0.8V 峰峰值(见图 31 和图 32)。这样，既可以防止时钟的大电压摆幅馈通至本产品的其它部分，还可以保留信号的快速上升和下降时间，这一点对实现低抖动性能来说非常重要。但是，当频率高于 500 MHz 时，二极管电容会产生影响。必须小心选择适当的信号限幅二极管。

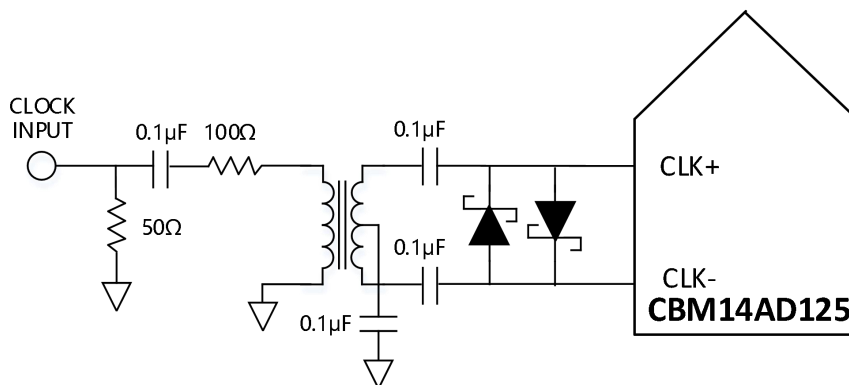


图 31.变压器配置的时钟输入

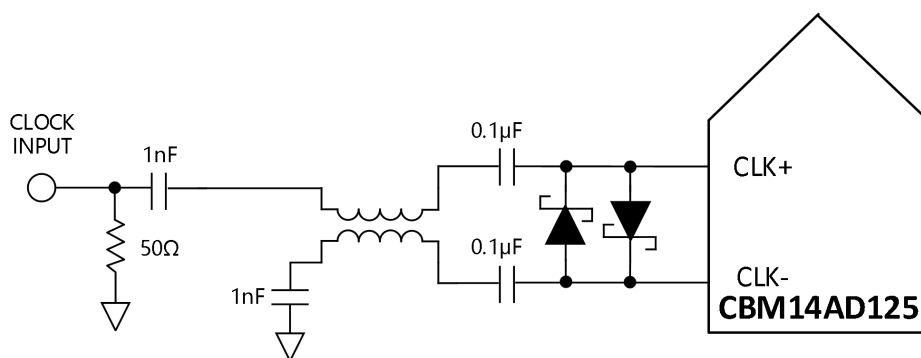


图 32.巴伦配置的时钟

如果没有低抖动的时钟源，那么，另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚(如图 33 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 时钟驱动器具有出色的抖动性能。

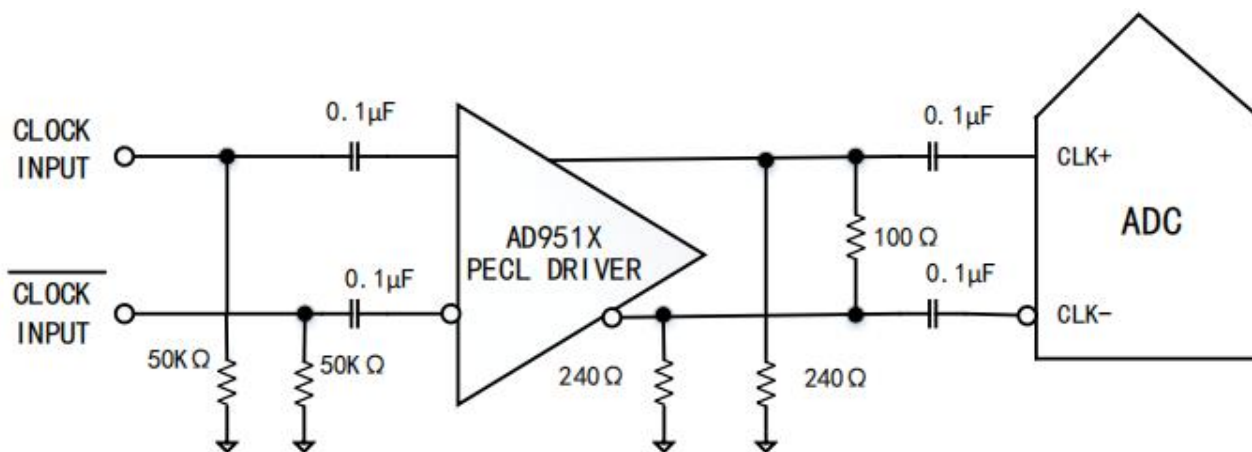


图 33 差分 PECL 采样时钟(频率可达 1 GHz)

另一种方法是将差分 LVDS 信号交流耦合至采样时钟输入引脚(如图 34 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 时钟驱动器具有出色的抖动性能。

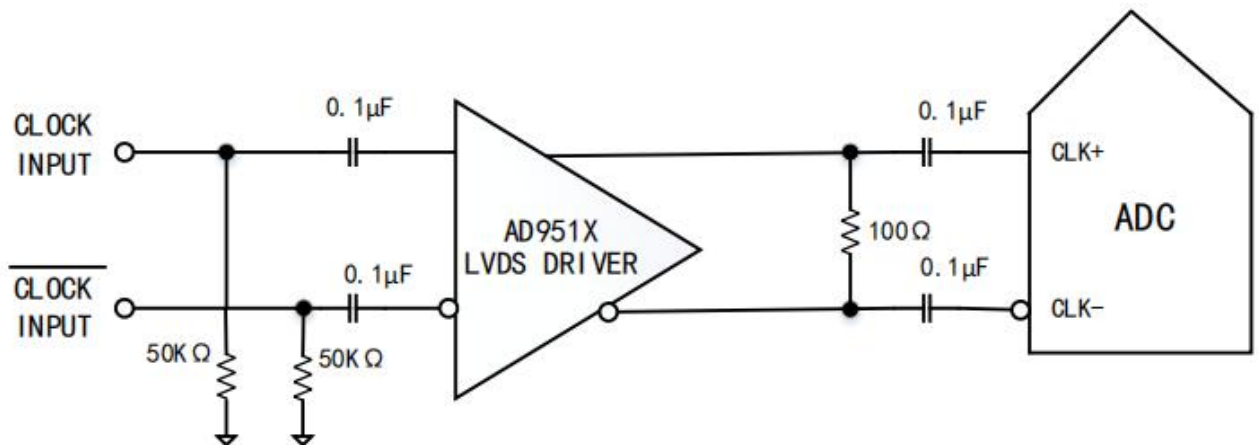


图 34 单端 1.8 V CMOS 输入时钟(频率可达 200 MHz)

### ● 输入时钟分频器

本产品内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。利用外部 SYNC 输入信号，可同步本产品时钟分频器。通过对寄存器 0x109 的位 0 和位 1 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

### ● 时钟占空比

典型的高速 ADC 利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为  $\pm 5\%$ 。本产品内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为 50%的内部时钟信号。当时钟输入占空比偏离标称 50%占空比的幅度大于  $\pm 5\%$  额定值时，该特性可最大程度减少性能的下降。使能 DCS 功能可显著改善 30%至 45%和 55%至 70%的时钟输入占空比的噪声和失真性能。输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。在时钟速率动态改变的应用中，必须考虑与该环路相关的时间常量。在 DCS 环路重新锁定输入信号前，都需要等待 1.5  $\mu\text{s}$  至 5  $\mu\text{s}$  的时间。

### ● 抖动考虑

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。中频欠采样应用对抖动尤其敏感(见图 35)。

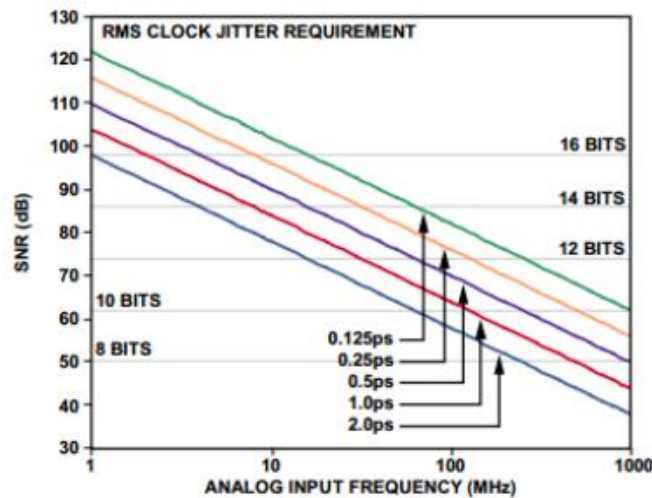


图 35 理想信噪比与模拟输入频率和抖动的关系

当孔径抖动可能影响本产品的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与 ADC 输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在这最后一步中利用原始时钟进行重定时。

### ● 功耗和省电模式

如图 36 所示，本产品的功耗与其采样速率成比例关系。通过 SPI 端口或将 PDWN 引脚置位高电平，可使本产品进入省电模式。在省电模式下，ADC 的典型功耗为 2 mW。省电模式下，输出驱动器处于高阻抗状态。将 PDWN 引脚置位低电平时，本产品返回正常工作模式。注意，PDWN 以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电源电压。在省电模式下，通过关闭基准电压源、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入省电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于省电模式的时间有关；处于省电模式的时间越短，则相应的唤醒时间越短。使用 SPI 端口接口时，用户可将 ADC 置于省电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息，请参见“存储器映射”部分。

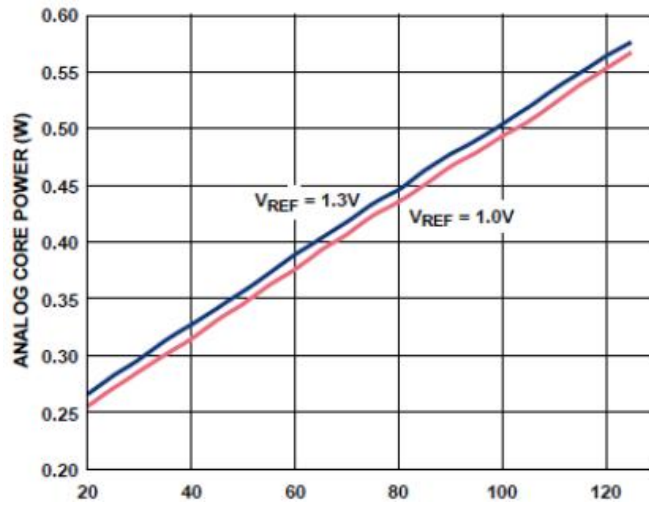


图 36 总功耗与  $f_{\text{SAMPLE}}$  的关系

● **数字输出**

本产品数字输出采用 ANSI-644 LVDS 标准，输出电流为 3.5mA，负载 100 欧姆的端电阻，摆幅 350mV。默认模式下，输出的时序关系如图 37 所示。

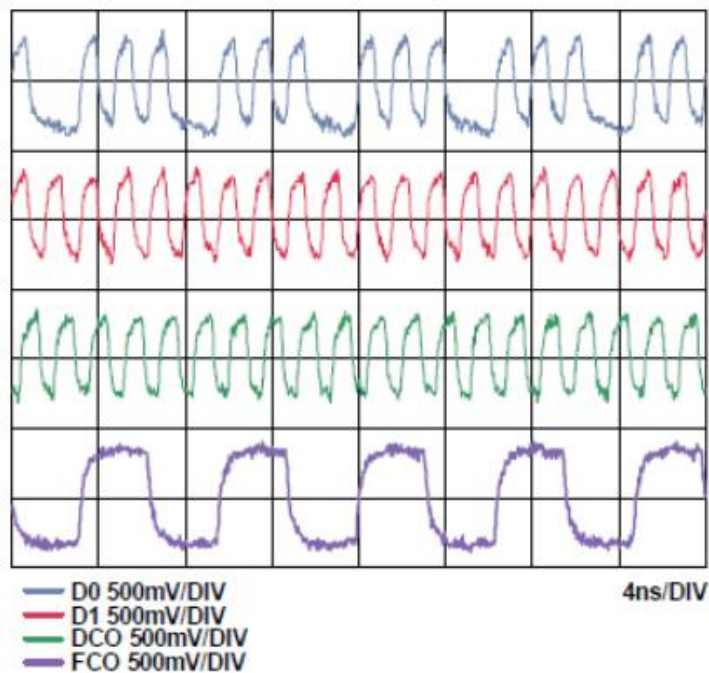


图 37 LVDS 输出时序示例

● **SPI 控制**

本产品 SPI 为三线控制，SPI 的时序控制图如图 38 所示。



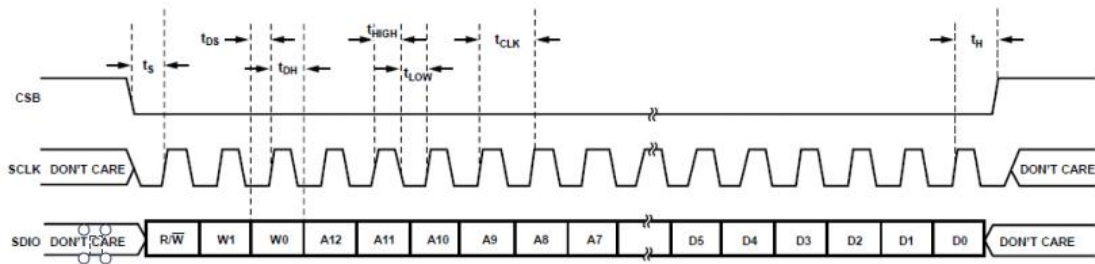


图 38 SPI 时序

● 寄存器列表

地址	寄存器名称	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	默认值 (16进制)	注释
0x00	spi配置(全局)	0=SDO有效	LSB优先	软复位	1=16位地址	1=16位地址	软复位	LSB优先	0=SDO有效	0x18	R/W
0x01	芯片ID(全局)	8位芯片ID [7:0] 0xB5 = 四通道、14 位、125 MSPS 串行 LVDS								0xB5	R
0x02	芯片等级(全局)	禁用	速度等级ID[6:4] 110=125MSPS			禁用	禁用	禁用	禁用		R
器件索引和传送寄存器											
0x05	器件索引	禁用	禁用	时钟通道 DCO	时钟通道 FCO	时钟通道 D	时钟通道 C	时钟通道 B	时钟通道 A	0x3F	R/W
0xFF	传送寄存器	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动覆盖	0x00	W
全局ADC功能寄存器											
0x08	功耗模式(全局)	禁用	禁用	外部掉电引脚功能: 0=掉电 1=待机	禁用	禁用	禁用	内部设置功耗模式: 00=正常工作 01=完全掉电 10=待机 11=复位		0x00	R/W
0x09	时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	时钟占空比稳定使能: 0=开 1=关	0x01	R/W

0x0 B	时钟分频 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	时钟分频比: 000=1分频 001=2分频 010=3 分频 011=4分频 100=5分频 101=6 分频 110=7分频 111=8分频	0x00	R/W		
0x0 C	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	斩波 模式 0=关 1=开	0x00	R/W		
0x0 D	测试模式 (局部)	用户输入测试模式 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次 (仅影响用户输入 测试模式, 位[3:0] = 1000)		复位 PN长 序列	复位 PN 短序列	禁用	输出测试模式[3:0](局部) 0000 = 关(默认) 0001 = 中间电平短序列 0010 = 正 FS 0011 = 负 FS 0100 = 交替棋盘形式 0101 = PN 23 序列 0110 = PN 9 序列 0111 = 1/0 字反转 1000 = 用户输入 1001 = 1/0 位反转 1010 = 1×同步 1011 = 1 位高电平 1100 = 混合位频率					0x00	R/W			
0x1 0	失调调整(局 部)	8 位器件失调调整, 位[7:0](局部) 失调调整以 LSB 为单位, 从+127 到-128(二进制补码格式)									0x00	R/W				
0x1 4	输出模式	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	输出反向 (局部):	禁用	输出格式 0 = 偏移 二进制 1 = 二进制 补码 (全局)	0x01	R/W
0x1 5	输出调整	禁用	禁用	输出驱动器端 接[1:0] 00 = 无 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		禁用	禁用	禁用	禁用	禁用	禁用	禁用	禁用	输出驱动 0 = 1×驱动 1 = 2×驱动	0x00	R/W



0x16	输出相位	禁用	输入时钟相位调整 [6:4] (值为相位延迟的输入时钟周期数)			输出时钟相位调整[3:0] (0000 至 1011)				0x03	R/W	
0x18	VREF选择 (全局)	禁用	禁用	禁用	禁用	禁用	VREF 调节 数字方案[2:0] 000 = 1.0 V p-p (1.3 V p-p) 001 = 1.14 V p-p (1.48 V p-p) 010 = 1.33 V p-p (1.73 V p-p) 011 = 1.6 V p-p (2.08 V p-p) 100 = 2.0 V p-p (2.6 V p-p)				0x04	R/W
0x19	USER_PATT 1_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码 1 LSB。	
0x1A	USER_PATT 1_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B0	0x00	用户定义的测试码 1 MSB。	
0x1B	USER_PATT 2_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码 2 LSB。	
0x1C	USER_PATT 2_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B0	0x00	用户定义的测试码 2MSB。	
0x21	串行输出数据控制 (全局)	LVDS 输出 LSB 优先	SDR/DDR 单通道/双通道、逐位/逐字节 [6:4] 000 = SDR 双通道、逐位 001 = SDR 双通道、逐字节 010 = DDR 双通道、逐位 011 = DDR 双通道、逐字节 100 = DDR 单通道、逐字			禁用	选择 2× 帧	串行输出位数 00 = 16 位		0x30	串行流控制。默认为 MSB 优先、原有位流。	

0x2 2	串行通道状态 (局部)	禁用	禁用	禁用	禁用	禁用	禁用	通道输出复位	通道掉电	0x00	用来关断转换器的各个部分。
0x1 00	采样速率覆盖	禁用	采样速率覆盖使能	Always write =01		禁用	采样速率 000 = 20 MSPS 001 = 40 MSPS 010 = 50 MSPS 011 = 65 MSPS 100 = 80 MSPS 101 = 105 MSPS 110 = 125 MSPS			0x00	需要上电配置寄存器 (需要传输寄存器, 0xFF)。
0x1 01	用户 I/O 控制 2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO 下拉	0x00	禁用 SDIO 下拉电阻。
0x1 02	用户 I/O 控制 3	禁用	禁用	禁用	禁用	VC M 掉电	禁用	禁用	禁用	0x00	VCM 控制。
0x1 06	比较器阈值算法	保留						00=关闭 01=打开第 1 级 10=打开第 2 级 11=打开第 1/2 级		0x00	
0x1 09	同步	禁用	禁用	禁用	禁用	禁用	禁用	仅与下一同步脉冲同步	使能同步	0x00	

## 封装外形尺寸

### QFN-48

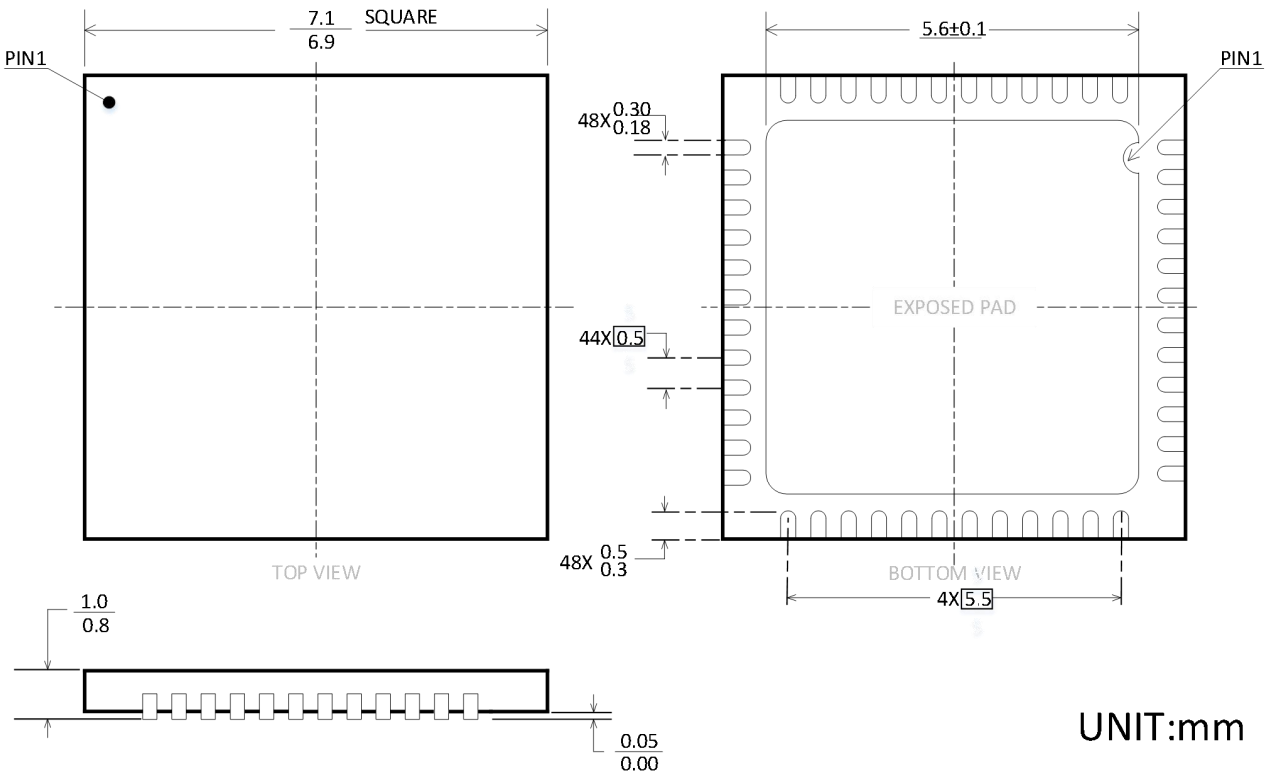


图 39. QFN-48 封装尺寸图

## 包装/订购信息

产品名称	订单编码	温度范围	产品封装	运输及包装数量	包装标记
CBM14AD125		-40°C~85°C	QFN-64	Tray, 250	