产品特性

- **双发射机**
- **双接收机**
- **双观测接收机**
- **最小信号带宽：12 KHz**
- **最大信号带宽：100 MHz**
- **集成本振小数频率合成器**
- **集成时钟频率合成器**
- **多芯片相位同步**
- **LVDS/CMOS 同步串行数据接口**
- **载波频率范围：10 MHz 至 7250 MHz**
- **支持 4 路同时异频工作**
- **快速跳频**
- **支持低功耗监控和睡眠模式**

产品应用

- 甚高频（VHF）、超高频（UHF）和蜂窝通信
- 时分双工和频分双工应用
- 相控阵列系统
- 测试设备

产品描述

CBMRF9002 是一款高度集成的射频收发器，能够提供双发射机和双接收机，同时集成了锁相环频率综合器和数字信号处理功能。

CBMRF9002 具有高性能、高线性、高动态范围得收发器，非常适合低功耗、便携式和电池供电得设备。CBMRF9002 工作频段为 10MHz ~ 7250MHz。CBMRF9002 支持 TDD 和 FDD 两种工作模式。

CBMRF9002 采用直接变频架构，具有优异的噪声系数和线性度。每个接收和发射通道都包含直流偏置校正、正交误差校正（QEC）和可编程数字滤波器功能，可以帮助用户减少数字处理器中的工作。除此之外还集成了一些辅助功能，如辅助模数转换器（ADC）、辅助数模转换器（DAC）和通用 IO（GPIO），可以提供额外得检测和控制能力。

CBMRF9002 内部集成的锁相环（PLL）可以为发射器、接收器和时钟部分提供高性能、低功耗的小数频率合成，支持快速锁定以及乒乓跳频功能。内部合理的布局设计可以提供在无线电应用中所需要的较高隔离度。

CBMRF9002 内部集成压控振荡器（VCO）和环路滤波器组件，可以减少使用外部器件数量。本地振荡器（LO）具有灵活的配置选项，每个发射和接收通道可以配置为独立的 LO 频率。

该收发器包含低功耗休眠模式和监听模式，可在监听通信的同时实现节能，进而延长便携式设备的电池续航时间。CBMRF9002 具有多芯片相位同步机制，可以同步多个芯片之间的模拟本振和数字时钟。

CBMRF9002 需要 1.0V、1.3V、1.8V 稳压器供电，可以由 LDO 或开关电源直接供电。控制方

式支持标准 SPI 接口控制 。其他电压源用于提供适当合适的数字接口电平，来优化接收器，发射器和辅助转换器的性能。 高速数据率和低速数据率接口支持使用可配置的 CMOS 或低压差分信号（LVDS）串行同步接口 (SSI) 选择。 CBMRF9002 采用 12 mm × 12 mm、196 引脚 芯片级球栅阵列封装（CSP_BGA），支持的工作温度范围 -40~+85℃。

目录

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.11.10					

功能框图

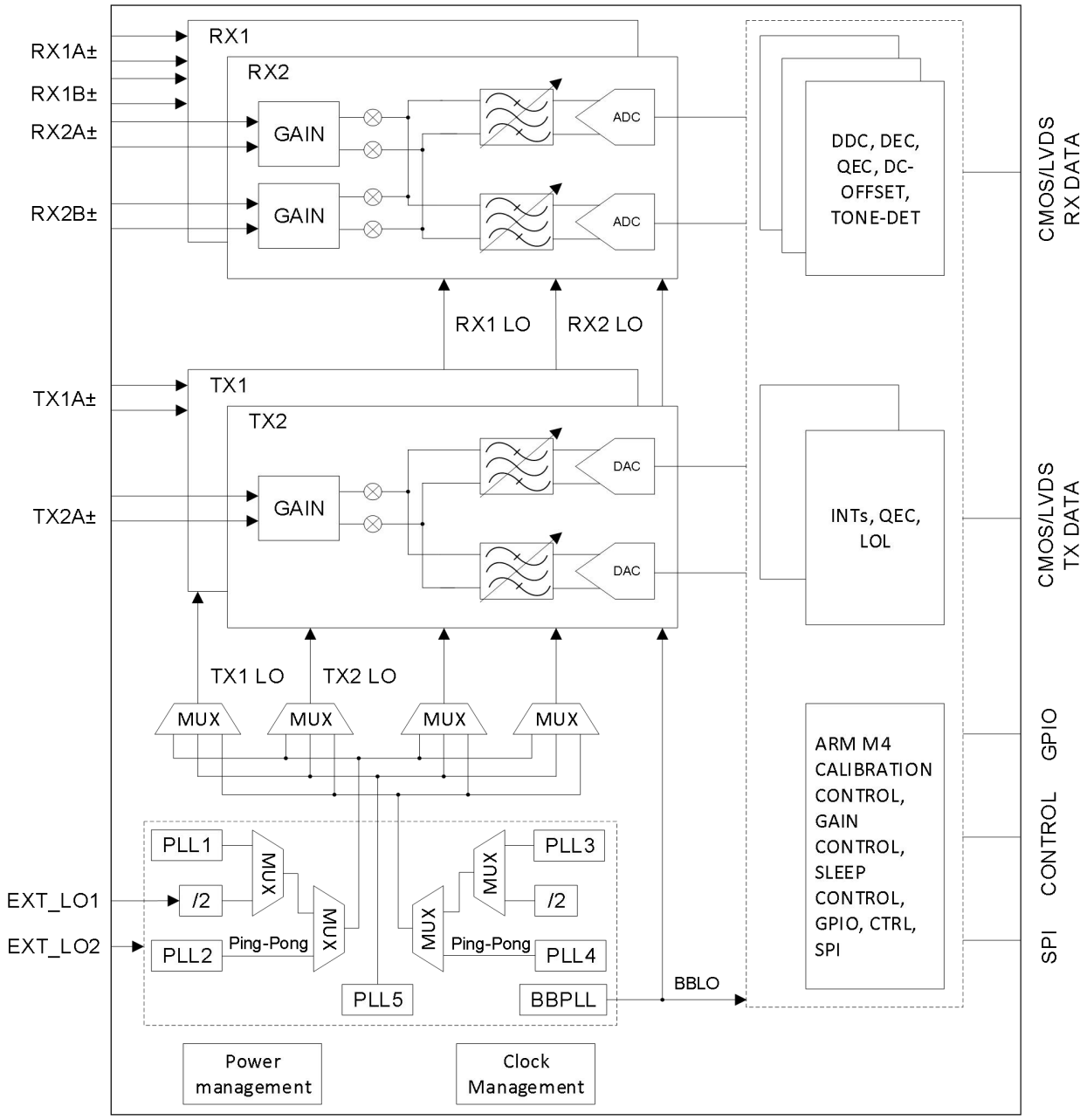
RX1
RX2
RX1A±
RX1B±
RX2A±
RX2B±
GAIN
GAIN
ADC
ADC
RX1 LO
RX2 LO
TX1
TX2
TX1A±
TX2A±
GAIN
DAC
DAC
TX1 LO
TX2 LO
MUX
MUX
MUX
MUX
PLL1
/2
PLL2
Ping-Pong
MUX
MUX
PLL3
/2
PLL4
Ping-Pong
MUX
EXT_LO1
EXT_LO2
PLL5
BBPLL
BBLO
Power management
Clock Management
DDC, DEC, QEC, DC-OFFSET, TONE-DET
INTs, QEC, LOL
ARM M4 CALIBRATION CONTROL, GAIN CONTROL, SLEEP CONTROL, GPIO, CTRL, SPI
CMOS/LVDS RX DATA
CMOS/LVDS TX DATA
GPIO
CONTROL
SPI

图 1 功能框图

电气特性

工作环境温度范围内的电气特性, VDDA_1P0 = 1.0 V, VDDA_1P3 = 1.3 V, VDDA_1P8 = 1.8 V, VDD_1P0 = 1.0 V, and VDD_1P8 = 1.8 V.

操作配置:

- RX BW 62.5 MHz （IQ 速率 = 62.5MHz），模拟增益为 0dB；
- TX BW 62.5 MHz （IQ 速率 = 62.5MHz），模拟衰减为 0dB；
- ORX BW 62.5 MHz （IQ 速率 =62.5 MHz），模拟衰减为 0dB；
- 器件参考时钟： 125 MHz；
- 其中，RX 通道指 RX1A 或 RX2A 通道；ORX 通道是指 RX1B 或者 RX2B 通道。

表 1

发射机

参数	符号	最小值	典型值	最大值	单位	测试条件
频率范围		10		7250	MHz	
发射信号带宽		0.012		100	MHz	
带内平坦度			±1		dB	
模拟衰减范围		0		34	dB	
模拟衰减步进			0.5		dB	
带内底噪						Test at LO+BW*0.25
			-148.4		dBm/Hz	LO=470MHz
			-147.5		dBm/Hz	LO=900MHz
			-144.1		dBm/Hz	LO=2400MHz
			-143.4		dBm/Hz	LO=3000MHz
邻信道泄漏功率比	ACPR					100MHz bandwidth OFDM
			-57		dB	LO=0.7GHz, -13dBFs
			-55		dB	LO=2.595GHz, -12dBFs
			-53		dB	LO=4.88GHz, -15dBFs
插值镜像					dBc	
隔离度 TX1-TX2			108.1		dB	LO=30MHz

			106.6		dB	LO=470MHz
			102.9		dB	LO=900MHz
			87.2		dB	LO=2400MHz
			87.2		dB	LO=3000MHz
镜像抑制宽带	IRR					初始化校准,CW-6dBFs 带宽 62.5M,CW 偏移 10M
			69		dBc	LO=30MHz
			62.8		dBc	LO=470MHz
			67.1		dBc	LO=900MHz
			67.7		dBc	LO=2400MHz
			73.9		dBc	LO=3000MHz
最大输出功率						数字功率-0.2dBFs
			6.98		dBm	LO=30MHz
			7.38		dBm	LO=470MHz
			6.72		dBm	LO=900MHz
			5.68		dBm	LO=2400MHz
					dBm	LO=3000MHz
输出三阶交调点	OIP3					发射机衰减0 dB, CW -11dBFS
			28.5		dBm	LO=30MHz
			29.1		dBm	LO=470MHz
			29.3		dBm	LO=900MHz
			29.2		dBm	LO=2400MHz
			23.6		dBm	LO=3000MHz
载波泄露	LOL					初始化校准，CW -6dBFS
			-65.7		dBm	LO=30MHz
			-62.7		dBm	LO=470MHz
			-65.1		dBm	LO=900MHz
			-68.3		dBm	LO=2400MHz
			-70.1		dBm	LO=3000MHz
误差矢量幅值	EVM					3GPP 测试信号TM3.1A

					%	LO=2.595GHz
发射机输出阻抗	ZOUT		50		Ω	差分

表 2

接收机

参数	符号	最小值	典型值	最大值	单位	测试条件
频率范围		10		7250	MHz	
模拟衰减范围		0		34	dB	
模拟衰减步进			0.5		dB	
带内平坦度			±1		dB	未进行平坦度校准
带宽		0.012		100	MHz	
最大输入电平	PHIGH					0dB 衰减，CW 信号，接收到的数字信号功率 -0.5/- 1dBFs
			-11.7		dBm	LO=30MHz
			-11.8		dBm	LO=470MHz
			-12.0		dBm	LO=900MHz
			-10.3		dBm	LO=2400MHz
			-9.4		dBm	LO=3000MHz
输入三阶交调点	IIP3					双音信号, LO+17MHz/18MHz
			11.07		dBm	LO=30MHz
			11.94		dBm	LO=470MHz
			13.63		dBm	LO=900MHz
			13.50		dBm	LO=2400MHz
			14.11		dBm	LO=3000MHz
三次谐波失真	HD3					接收到的信号功率为 -18dBm，输入频率偏移 5MHz
			-63.1		dBc	LO=30MHz
			-69.1		dBc	LO=470MHz

			-72.1		dBc	LO=900MHz
			-76.7		dBc	LO=2400MHz
			-74.9		dBc	LO=3000MHz
二阶交调	IM2					双音信号， LO+17MHz/18MHz
			-73.8		dBc	LO=30MHz
			-65.4		dBc	LO=470MHz
			-71.9		dBc	LO=900MHz
			-69.5		dBc	LO=2400MHz
			-68.1		dBc	LO=3000MHz
镜像抑制			-75.1		dBc	LO=30MHz
			-66.5		dBc	LO=470MHz
			-75.3		dBc	LO=900MHz
			-69.1		dBc	LO=2400MHz
			-60.1		dBc	LO=3000MHz
输入阻抗					Ω	差分
隔离度 RX1 至 RX2			100		dB	LO=30MHz
			100		dB	LO=470MHz
			100		dB	LO=900MHz
			100		dB	LO=2400MHz
			100		dB	LO=3000MHz
带内最大杂散						接收到的数字信号功率为 -5dBFs
			-65.8		dBc	LO=30MHz
			-63.4		dBc	LO=470MHz
			-63.2		dBc	LO=900MHz
			-62.9		dBc	LO=2400MHz
			-60.6		dBc	LO=3000MHz
接收直流偏置			-75.4		dBFs	LO=30MHz
			-74.7		dBFs	LO=470MHz
			-73.7		dBFs	LO=900MHz
			-68.3		dBFs	LO=2400MHz

			-71.1		dBFs	LO=3000MHz

表 3

本振和时钟

参数	符号	最小值	典型值	最大值	单位	测试条件
相位噪声 470MHz			-96.9		dBc/Hz	100Hz 偏移频率
			-106.4		dBc/Hz	1kHz 偏移频率
			-113.3		dBc/Hz	10kHz 偏移频率
			-116.8		dBc/Hz	100kHz 偏移频率
			-134.9		dBc/Hz	1MHz 偏移频率
			-145.7		dBc/Hz	10MHz 偏移频率
相位噪声 900MHz			-91.5		dBc/Hz	100Hz 偏移频率
			-100.9		dBc/Hz	1kHz 偏移频率
			-10.78		dBc/Hz	10kHz 偏移频率
			-111.2		dBc/Hz	100kHz 偏移频率
			-132.4		dBc/Hz	1MHz 偏移频率
			-148.6		dBc/Hz	10MHz 偏移频率
相位噪声 2400MHz			-84.2		dBc/Hz	100Hz 偏移频率
			-92.2		dBc/Hz	1kHz 偏移频率
			-99.6		dBc/Hz	10kHz 偏移频率
			-102.8		dBc/Hz	100kHz 偏移频率
			-129.1		dBc/Hz	1MHz 偏移频率
			-147.7		dBc/Hz	10MHz 偏移频率
相位噪声 3500MHz			-78.2		dBc/Hz	100Hz 偏移频率
			-92.1		dBc/Hz	1kHz 偏移频率
			-100.5		dBc/Hz	10kHz 偏移频率
			-102.7		dBc/Hz	100kHz 偏移频率
			-126.8		dBc/Hz	1MHz 偏移频率
			-146.7		dBc/Hz	10MHz 偏移频率
LO 相位同步精度					Degrees	
锁定时间					ms	

快速锁定时间					us	
跳频					hop/s	

表 4

基准时钟

参数	符号	最小值	典型值	最大值	单位	测试条件
接口类型			LVDS			
输入频率		50		1000	MHz	
时钟信号幅度		0.2		0.8	Vpp	
共模电压			1.2		V	
差分输入阻抗			100		Ω	外部端接 100Ω差分电阻
时钟输出频率		10		7250	MHz	

表 5

电源

参数	符号	最小值	典型值	最大值	单位	测试条件
供电特性						
VDDA1P0 电压		0.98	1.0	1.03	V	
VDDD1P0 电压		0.90	1.0	1.1	V	
VDDA1P3 电压		1.25	1.3	1.35	V	
VDDA1P8 电压		1.70	1.8	1.90	V	
VDDD1P8 电压		1.62	1.8	1.98	V	
SUPPLY CURRENT						
VDDA1P0 电流					A	
VDDD1P0 电流					A	
VDDA1P3 电流					A	
VDDA1P8 电流					A	
VDDD1P8 电流					A	
总功耗					W	

绝对最大额定值

表 6

参数	范围
VDDA1P0 至 VSSA	-0.2V 至 +1.2V
VDDA1P3 至 VSSA	-0.2V 至 +1.5V
VDDA1P8 至 VSSA	-0.3V 至 +2.0V
VDDD1P0 至 VSSD	-0.2V 至 +1.2V
VDDD1P8 至 VSSA	-0.3V 至 +2.2V
最大结温T_J	125℃
存储温度范围	-65℃ 至 +150℃
工作温度范围	-40~+85℃

热管理

CBMRF9002 采用裸片外露式封装，为用户提供控制裸片温度的最高效方式。裸片外露设计可实现对裸片的直接散热。图 2 展示了一种典型的热管理解决方案。

为避免器件损坏，该器件集成了过温保护机制。当结温超过 130℃ 时，发射器和接收器将关闭，且过温状态可被读取。

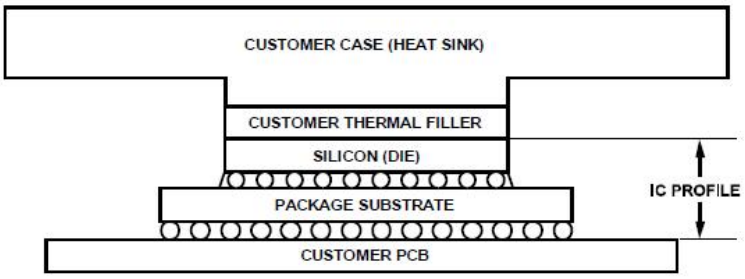

图 2 典型热管理解决方案

热阻		
参数	典型值	单位
Rjs	2	K/W
Rjs-至p	0.03	K/W

引脚配置和功能描述

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	VSSA	VSSA	EXT_LO2+	EXT_LO2-	VRFVCO2_1P3	VRFLO2_1P0	MODEA	RBIAS	VRFLO1_1P0	VRFVCO1_1P3	EXT_LO1-	EXT_LO1+	VSSA	VSSA
B	RX2A-	VSSA	VSSA	VSSA	VSSA	VRFVCO2_1P0	AUXADC_2	AUXADC_1	VRFVCO1_1P0	VSSA	VSSA	VSSA	VSSA	RX1A-
C	RX2A+	VSSA	RX2B+	RX2B-	VSSA	VANA2_1P0	VANA2_1P3	VANA1_1P3	VANA1_1P0	VSSA	RX1B-	RX1B+	VSSA	RX1A+
D	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	MCS+	MCS-	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
E	VRX2LO_1P0	VRX2LO_1P3	AGPIO_2	VRFSYN2_1P3	VCLKSYN_1P3	VSSA	DEV_CLK_IN+	DEV_CLK_IN-	VSSA	VAUXSYN_1P3	VRFSYN1_1P3	AGPIO_0	VRX1LO_1P3	VRX1LO_1P0
F	VSSA	VSSA	VSSA	AGPIO_4	AGPIO_3	VSSA	VSSA	VSSA	VSSA	AGPIO_1	AGPIO_10	VSSA	VSSA	VSSA
G	TX2+	VSSA	VTX2LO_1P3	AGPIO_5	VCLKVCO_1P3	AGPIO_6	VCONV_1P8	VAGPIO_1P8	AGPIO_8	VAUXVCO_1P3	AGPIO_11	VTX1LO_1P3	VSSA	TX1+
H	TX2-	VANA2_1P8	VTX2LO_1P0	AUXADC_3	VCLKVCO_1P0	AGPIO_7	VCONV_1P0	VCONV_1P3	AGPIO_9	VAUXVCO_1P0	AUXADC_0	VTX1LO_1P0	VANA1_1P8	TX1-
J	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
K	SPI_CLK	SPI_DIO	RX2_EN	VSSA/TESTCK+	VSSA/TESTCK-	DGPIO_0	DGPIO_1	DGPIO_2	DGPIO_3	DGPIO_4	DGPIO_5	RX1_EN	RESETB	GP_INT
L	SPI_EN	SPI_DO	TX2_EN	DGPIO_6	DGPIO_7	DGPIO_8	VDIG_1P0	VDIG_1P0	DGPIO_9	DGPIO_10	DGPIO_11	TX1_EN	MODE	DEV_CLK_OUT
M	RX2_IDATA_OUT-	RX2_IDATA_OUT+	RX2_DCLK_OUT-	RX2_DCLK_OUT+	DGPIO_15/TX2_DCLK_OUT+	DGPIO_14/TX2_DCLK_OUT-	VDIGIO_1P8	VDIG_0P9	DGPIO_12/TX1_DCLK_OUT-	DGPIO_13/TX1_DCLK_OUT+	RX1_DCLK_OUT+	RX1_DCLK_OUT-	RX1_IDATA_OUT+	RX1_IDATA_OUT-
N	RX2_STROBE_OUT-	RX2_STROBE_OUT+	RX2_QDATA_OUT-	RX2_QDATA_OUT+	TX2_DCLK_IN+	TX2_DCLK_IN-	VSSD	VSSD	TX1_DCLK_IN-	TX1_DCLK_IN+	RX1_QDATA_OUT+	RX1_QDATA_OUT-	RX1_STROBE_OUT+	RX1_STROBE_OUT-
P	VSSD	TX2_STROBE_IN+	TX2_STROBE_IN-	TX2_QDATA_IN-	TX2_QDATA_IN+	TX2_IDATA_IN+	TX2_IDATA_IN-	TX1_IDATA_IN-	TX1_IDATA_IN+	TX1_QDATA_IN+	TX1_QDATA_IN-	TX1_STROBE_IN-	TX1_STROBE_IN+	VSSD

图 3 引脚配置（顶视图）

引脚编号.	类型	符号	描述
A1, A2, A13, A14, B2 至 B5, B10 至 B13, C2, C5, C10, C13, D1 至 D6, D9 至 D14, E6, E9, F1 至 F3, F6 至 F9, F12 至 F14, G2, G13, J1 至 J14	输入	VSSA	模拟地
A3, A4	输入/输出	EXT_LO2+, EXT_LO2-	输入：用于外供LO，输入频率是2倍的LO频率； 输出：用于输出LO频率
A5	输入	VRFVCO2_1P3	1.3V 内部低压差稳压器（LDO）输入电源，为射频（RF）外部本振输入 2（LO2）压控振荡器（VCO）及本振生成电路供电。
A6	输入/输出	VRFLO2_1P0	1.0V 内部电源节点，为射频 LO2 本振生成电路供电。当使用由 VRFVCO2_1P3 输入供电的内部 LDO 稳压器时，需将 VRFLO2_1P0 与 VRFVCO2_1P0 连接，并通过一个 4.7μF 电容进行旁路滤波；当不使用由 VRFVCO2_1P3 输入供电的内部 LDO 稳压器时，需为 VRFLO2_1P0 提供 1.0V 电源。
A7	输入	MODEA	模式配置
A8	输入	RBIAS	偏置电阻连接：RBIAS 引脚会基于外部 1% 精度电阻生成内部电流，需在 RBIAS 与模拟地（VSSA）之间连接一个 4.99kΩ 电阻。
A9	输入/输出	VRFLO1_1P0	1.0V 内部电源节点，为射频 LO1 本振生成电路供电。当使用由 VRFVCO1_1P3 输入供电的内部 LDO 稳压器时，需将 VRFLO1_1P0 与 VRFVCO1_1P0 连接，并通过一个 4.7μF 电容进行旁路滤波；当不使用由 VRFVCO1_1P3 输入供电的内部 LDO 稳压器时，需为 VRFLO1_1P0 提供 1.0V 电源。
A10	输入	VRFVCO1_1P3	1.3V 内部 LDO 输入电源，为射频 LO1 压控振荡器及本振生成电路供电，VRFVCO1_1P3 对电源噪声敏感。
A11, A12	输入	EXT_LO1-, EXT_LO1+	差分外部本振输入 2：若将 EXT_LO1 + 与 EXT_LO1−用于外部 LO2，输入频率需为目标载波频率的 2 倍或更高；对于 500MHz~1GHz 的本振频率范围，可使用 1 倍频器。若不使用，需将 EXT_LO1 + 与 EXT_LO1−连接至模拟地（VSSA）。

B1, C1	输入	RX2A-, RX2A+	接收通道 2（Rx2）差分输入 A：若不使用，需将 RX2A−与 RX2A + 连接至模拟地（VSSA）。
B6	输出	VRFVCO2_1P0	1.0V 内部电源节点，为射频 LO2 压控振荡器电路供电。当使用由 VRFVCO2_1P3 输入供电的内部 LDO 稳压器时，需将该 VRFVCO2_1P0 与 VRFLO2_1P0 连接，并通过一个 4.7μF 电容进行旁路滤波。
B7	输入	AUXADC_2	辅助模数转换器（ADC）输入多路复用器输入 2：若不使用，请勿连接 AUXADC_2 引脚。
B8	输入	AUXADC_1	辅助 ADC 输入多路复用器输入 1：若不使用，请勿连接 AUXADC_1 引脚。
B9	输出	VRFVCO1_1P0	1.0V 内部电源节点，为射频 LO1 压控振荡器电路供电。当使用由 VRFVCO1_1P3 输入供电的内部 LDO 稳压器时，需将 VRFVCO1_1P0 与 VRFLO1_1P0 连接，并通过一个 4.7μF 电容进行旁路滤波。
B14, C14	输入	RX1A-, RX1A+	接收通道 1（Rx1）差分输入 A：若不使用，需将 RX1A−与 RX1A + 连接至模拟地（VSSA）。
C3, C4	输入	RX2B+, RX2B-	接收通道 2（Rx2）差分输入 B：若不使用，需将 RX2B + 与 RX2B−连接至模拟地（VSSA）。
C6	输入/输出	VANA2_1P0	1.0V 内部电源节点，为发射通道 2(Tx2)与接收通道 2(Rx2)基带电路、跨阻放大器（TIA）、发射机跨导（GM）基带滤波器及辅助数模转换器（DAC）与模数转换器（ADC）供电。正常工作时，无需连接 VANA2_1P0 引脚。
C7	输入	VANA2_1P3	1.3V 内部 LDO 输入电源，为发射通道 2（Tx2）与接收通道 2（Rx2）基带电路、跨阻放大器（TIA）、发射机跨导（GM）、基带滤波器及辅助数模转换器（DAC）与模数转换器（ADC）供电，VANA2_1P3 对电源噪声敏感。
C8	输入	VANA1_1P3	1.3V 内部 LDO 输入电源，为发射通道 1（Tx1）与接收通道 1（Rx1）基带电路、跨阻放大器（TIA）、发射机跨导（GM）及基带滤波器供电，VANA1_1P3 对电源噪声敏感。
C9	输入/输出	VANA1_1P0	1.0V 内部电源节点，为发射通道 1(Tx1)与接收通道 1(Rx1)基带电路、跨阻放大器（TIA）、发射机跨导（GM）及基带滤波器供电。正常工作时，无需连接 VANA1_1P0 引脚。
C11, C12	输入	RX1B-,RX1B+	接收通道 1（Rx1）差分输入 B：若不使用，需将 RX1B−与 RX1B + 连接至模拟地（VSSA）。
D7, D8	输入	MCS+, MCS-	多芯片同步参考输入：若不使用，需将 MCS + 与 MCS−连接至模拟地（VSSA）。
E1	输出	VRX2LO_1P0	1.0V 内部电源节点，为接收通道 2（Rx2）本振缓冲器与混频器供电，VRX2LO_1P0 对电源噪声敏感，需通过一个 4.7μF 电容对 VRX2LO_1P0 进行旁路滤波。
E2	输入	VRX2LO_1P3	1.3V 内部 LDO 输入电源，为接收通道 2（Rx2）本振缓冲器与混频器供电。当不使用内部 LDO 稳压器时，需为 VRX2LO_1P3 提供 1.0V 电源，VRX2LO_1P3 对电源噪声敏感。
E3, E12, F4, F5, F10, F11, G4, G6, G9, G11, H6, H9	输入/输出	AGPIO_xx	通用输入输出 (GPIO) 信号：参考 VAGPIO_1P8 的 1.8V 电源供电。

E4	输入		1.3V 电源，为射频 LO2 合成器供电，VRFSYN2_1P3 对电源噪声敏感。
E5	输入		1.3V 电源，为时钟合成器供电，VCLKSYN_1P3 对电源噪声敏感。
E7, E8	输入		器件时钟输入：DEV_CLK_IN± 可工作于差分模式、单端模式，或连接至外部晶体振荡器。单端模式下，需将时钟信号接入 DEV_CLK_IN + 引脚，DEV_CLK_IN−引脚悬空。
E10	输入	VAUXSYN_1P3	1.3V 电源，为辅助合成器供电，VAUXSYN_1P3 对电源噪声敏感。
E11	输入	VRFSYN1_1P3	VRFSYN1_1P3：1.3V 电源，为射频 LO1 合成器供电，VRFSYN1_1P3 对电源噪声敏感。
E13	输入	VRX1LO_1P3	1.3V 内部 LDO 输入电源，为接收通道 1（Rx1）本振缓冲器与混频器供电。当不使用内部 LDO 稳压器时，需为 VRX1LO_1P3 提供 1.0V 电源，VRX1LO_1P3 对电源噪声敏感。
E14	输出	VRX1LO_1P0	1.0V 内部电源节点，为接收通道 1（Rx1）本振缓冲器与混频器供电，VRX1LO_1P0 对电源噪声敏感，需通过一个 4.7μF 电容对 VRX1LO_1P0 进行旁路滤波。
G1, H1	输出	TX2+, TX2−	发射通道 2（Tx2）差分输出：若不使用，请勿连接 TX2 + 与 TX2−引脚。
G3	输入	VTX2LO_1P3	1.3V 电源，为发射通道 2（Tx2）本振缓冲器、上变频器及本振延迟电路供电。当不使用内部 LDO 稳压器时，需为 VTX2LO_1P3 提供 1.0V 电源，VTX2LO_1P3 对电源噪声敏感。
G5	输入	VCLKVCO_1P3	1.3V 内部 LDO 输入电源，为时钟本振压控振荡器及本振生成电路供电，VCLKVCO_1P3 对电源噪声敏感。
G7	输入	VCONV_1P8	1.8V 电源，为发射通道 1（Tx1）与发射通道 2（Tx2）数模转换器（DAC）、接收通道 1（Rx1）与接收通道 2（Rx2）模数转换器（ADC）供电。
G8	输入	VAGPIO_1P8	1.8V 电源，为辅助数模转换器（DAC）、辅助模数转换器（ADC）及模拟通用输入输出（AGPIO）信号供电。
G10	输入	VAUXVCO_1P3	1.3V 内部 LDO 输入电源，为辅助本振压控振荡器及本振生成电路供电，VAUXVCO_1P3 对电源噪声敏感。
G12	输入	VTX1LO_1P3	1.3V 内部 LDO 输入电源，为发射通道 1（Tx1）本振缓冲器、上变频器及本振延迟电路供电。当不使用内部 LDO 稳压器时，需为 VTX1LO_1P3 提供 1.0V 电源，VTX1LO_1P3 对电源噪声敏感。
G14, H14	输出	TX1+, TX1−	发射通道 1（Tx1）差分输出：若不使用，请勿连接 TX1 + 与 TX1−引脚。
H2	输入	VANA2_1P8	1.8V 电源，为接收通道 2（Rx2）混频器、接收通道 2（Rx2）跨阻放大器（TIA）、发射通道 2（Tx2）低通滤波器（LPF）及内部基准电路供电。
H3	输出	VTX2LO_1P0	1.0V 内部电源节点，为发射通道 2（Tx2）本振缓冲器、上变频器及本振延迟电路供电。正常工作时，无需连接 VTX2LO_1P0 引脚。
H4	输入	AUXADC_3	辅助 ADC 输入多路复用器输入 3：若不使用，请勿连接 AUXADC_3 引脚。

H5	输出	VCLKVCO_1P0	1.0V 内部电源节点，为时钟本振压控振荡器及本振生成电路供电，需通过一个 4.7μF 电容对 VCLKVCO_1P0 进行旁路滤波。
H7	输出	VCONV_1P0	1.0V 内部电源节点，为接收端模数转换器（ADC）与发射端数模转换器（DAC）供电，需通过一个 4.7μF 电容对 VCONV_1P0 进行旁路滤波。
H8	输入	VCONV_1P3	1.3V 内部 LDO 输入电源，为接收端模数转换器（ADC）与发射端数模转换器（DAC）供电。当不使用内部 LDO 稳压器时，需为 VCONV_1P3 提供 1.0V 电源，VCONV_1P3 对电源噪声敏感。
H10	输出	VAUXVCO_1P0	1.0V 内部电源节点，为辅助本振压控振荡器及本振生成电路供电，需通过一个 4.7μF 电容对 VAUXVCO_1P0 进行旁路滤波。
H11	输入	AUXADC_0	辅助 ADC 输入多路复用器输入 0：若不使用，请勿连接 AUXADC_0 引脚。
H12	输出	VTX1LO_1P0	1.0V 内部电源节点，为发射通道 1（Tx1）本振缓冲器、上变频器及本振延迟电路供电。正常工作时，无需连接 VTX1LO_1P0 引脚。
H13	输入	VANA1_1P8	1.8V 电源，为接收通道 1（Rx1）混频器、接收通道 1（Rx1）跨阻放大器（TIA）、发射通道 1（Tx1）低通滤波器（LPF）、晶体振荡器、器件时钟（DEV_CLK）电路及内部基准电路供电。
K1	输入	SPI_CLK	串行数据总线时钟输入
K2	输入/输出	SPI_DIO	串行数据：4 线模式下为输入，3 线模式下为输入 / 输出。
K3	输入	RX2_EN	接收通道 2（Rx2）使能输入：若不使用，请勿连接 RX2_EN 引脚。
K4	输入	VSSA/TESTCK+	正常工作时，需将 VSSA/TESTCK + 连接至模拟地（VSSA）。
K5	输入	VSSA/TESTCK-	正常工作时，需将 VSSA/TESTCK−连接至模拟地（VSSA）。
K6 至 K11, L4 至 L6, L9 至 L11	输入/输出	DGPIO_xx	数字通用输入输出（GPIO）：VDIGIO_1P8 为 DGPIO_xx 引脚提供 1.8V 电源。
K12	输入	RX1_EN	接收通道 1（Rx1）使能输入：若不使用，请勿连接 RX1_EN 引脚。
K13	输入	RESETB	低电平有效芯片复位
K14	输出	GP_INT	通用数字中断输出信号：若不使用，请勿连接 GP_INT 引脚。
L1	输入	SPI_EN	低电平有效串行数据总线片选
L2	输出	SPI_DO	串行数据输出：在 SPI 3 线模式下若不使用，请勿连接 SPI_DO 引脚。
L3	输入	TX2_EN	发射通道 2（Tx2）使能输入：若不使用，请勿连接 TX2_EN 引脚。
L7, L8	输入	VDIG_1P0	1.0V 数字核心电源：需将 L7 引脚与 L8 引脚连接，使用宽导线将 VDIG_1P0 引脚连接至独立电源域，并在芯片附近配

			置储能电容。
L12	输入	TX1_EN	发射通道 1（Tx1）使能输入：若不使用，请勿连接 TX1_EN 引脚。
L13	输入	MODE	联合测试行动组（JTAG）边界扫描引脚
L14	输出	DEV_CLK_OUT	单端器件时钟输出：DEV_CLK_OUT 可为基带芯片提供器件时钟（DEV_CLK）信号或其分频信号。若不使用，请勿连接 DEV_CLK_OUT 引脚。
M1	输出	RX2_IDATA_OUT−	在低压差分信号（LVDS）同步串行接口（SSI）模式下，RX2_IDATA_OUT−为接收通道 2（Rx2）I 路采样数据差分对负端输出，或接收通道 2（Rx2）I/Q 路采样数据差分对负端输出；在互补金属氧化物半导体（CMOS）SSI 模式下，RX2_IDATA_OUT−为接收通道 2（Rx2）数据输出 0，或接收通道 2（Rx2）I/Q 路采样数据输出。若不使用，请勿连接 RX2_IDATA_OUT−引脚。
M2	输出	RX2_IDATA_OUT+	在 LVDS SSI 模式下，RX2_IDATA_OUT + 为接收通道 2（Rx2）I 路采样数据差分对正端输出，或接收通道 2（Rx2）I/Q 路采样数据差分对正端输出；在 CMOS SSI 模式下，RX2_IDATA_OUT + 为接收通道 2（Rx2）数据输出 1。若不使用，请勿连接 RX2_IDATA_OUT + 引脚。
M3	输出	RX2_DCLK_OUT−	在 LVDS SSI 模式下，RX2_DCLK_OUT−为接收通道 2（Rx2）数据时钟负端输出；在 CMOS SSI 模式下，RX2_DCLK_OUT−不使用。若不使用，请勿连接 RX2_DCLK_OUT−引脚。
M4	输出	RX2_DCLK_OUT+	在 LVDS SSI 模式下，RX2_DCLK_OUT + 为接收通道 2（Rx2）数据时钟正端输出；在 CMOS SSI 模式下，RX2_DCLK_OUT + 为接收通道 2（Rx2）数据时钟输出。若不使用，请勿连接 RX2_DCLK_OUT + 引脚。
M5	输入/输出	DGPIO_15/TX2_DCLK_OUT+	数字通用输入输出（GPIO）15：VDIGIO_1P8 为 DGPIO_15/TX2_DCLK_OUT + 引脚提供 1.8V 电源。该引脚的备选功能为：在 LVDS SSI 模式下，为发射通道 2（Tx2）数据端口提供参考时钟正端输出。若不使用，请勿连接 DGPIO_15/TX2_DCLK_OUT + 引脚。

M6	输入/输出	DGPIO_14/TX2_DCLK_OUT-	数字 GPIO 14：VDIGIO_1P8 为 DGPIO_14/TX2_DCLK_OUT-引脚提供 1.8V 电源。该引脚的备选功能为：在 LVDS SSI 模式下，为发射通道 2（Tx2）数据端口提供参考时钟负端输出。若不使用，请勿连接 DGPIO_14/TX2_DCLK_OUT-引脚。
M7	输入	VDIGIO_1P8	1.8V 电源输入：为数据端口接口（CMOS-SSI 与 LVDS SSI 模式）、SPI 信号、控制输入 / 输出信号及数字 GPIO 接口供电。
M8	输出	VDIG_0P9	1.0V 内部电源节点：为数字电路供电，需通过一个 4.7μF 电容对 VDIG_0P9 进行旁路滤波。
M9	输入/输出	DGPIO_12/TX1_DCLK_OUT-	数字 GPIO 12：VDIGIO_1P8 为 DGPIO_12/TX1_DCLK_OUT-引脚提供 1.8V 电源。该引脚的备选功能为：在 LVDS SSI 模式下，为发射通道 1（Tx1）数据端口提供参考时钟负端输出。若不使用，请勿连接 DGPIO_12/TX1_DCLK_OUT-引脚。
M10	输入/输出	DGPIO_13/TX1_DCLK_OUT+	数字 GPIO 13：VDIGIO_1P8 为 DGPIO_13/TX1_DCLK_OUT + 引脚提供 1.8V 电源。该引脚的备选功能为：在 LVDS SSI 模式下，为发射通道 1（Tx1）数据端口提供参考时钟正端输出。若不使用，请勿连接 DGPIO_13/TX1_DCLK_OUT + 引脚。
M11	输出	RX1_DCLK_OUT+	在 LVDS SSI 模式下，RX1_DCLK_OUT + 为接收通道 1（Rx1）数据时钟正端输出；在 CMOS SSI 模式下，RX1_DCLK_OUT + 为接收通道 1（Rx1）数据时钟输出。若不使用，请勿连接 RX1_DCLK_OUT + 引脚。
M12	输出	RX1_DCLK_OUT-	在 LVDS SSI 模式下，RX1_DCLK_OUT-为接收通道 1（Rx1）数据时钟负端输出；在 CMOS SSI 模式下，RX1_DCLK_OUT-不使用。若不使用，请勿连接 RX1_DCLK_OUT-引脚。
M13	输出	RX1_IDATA_OUT+	在 LVDS SSI 模式下，RX1_IDATA_OUT + 为接收通道 1（Rx1）I 路采样数据正端输出，或接收通道 1（Rx1）I/Q 路采样数据正端输出；在 CMOS SSI 模式下，RX1_IDATA_OUT + 为接收通道 1（Rx1）数据输出 1。
M14	输出	RX1_IDATA_OUT-	在 LVDS SSI 模式下，RX1_IDATA_OUT-为接收通道 1（Rx1）I 路采样数据负端输出，或接收通道 1（Rx1）I/Q 路

			采样数据负端输出；在 CMOS SSI 模式下，RX1_IDATA_OUT−为接收通道 1（Rx1）数据输出 0，或接收通道 1（Rx1）I/Q 路采样数据输出。
N1	输出	RX2_STROBE_OUT−	在 LVDS SSI 模式下，RX2_STROBE_OUT−为接收通道 2（Rx2）选通信号负端输出；在 CMOS SSI 模式下，RX2_STROBE_OUT−不使用。若不使用，请勿连接 RX2_STROBE_OUT−引脚。
N2	输出	RX2_STROBE_OUT+	在 LVDS SSI 模式下，RX2_STROBE_OUT + 为接收通道 2（Rx2）选通信号正端输出；在 CMOS SSI 模式下，RX2_STROBE_OUT + 为接收通道 2（Rx2）选通信号输出。若不使用，请勿连接 RX2_STROBE_OUT + 引脚。
N3	输出	RX2_QDATA_OUT−	在 LVDS SSI 模式下，RX2_QDATA_OUT−为接收通道 2（Rx2）Q 路采样数据差分对负端输出；在 CMOS SSI 模式下，RX2_QDATA_OUT−为接收通道 2（Rx2）数据输出 2。若不使用，请勿连接 RX2_QDATA_OUT−引脚。
N4	输出	RX2_QDATA_OUT+	在 LVDS SSI 模式下，RX2_QDATA_OUT + 为接收通道 2（Rx2）Q 路采样数据差分对正端输出；在 CMOS SSI 模式下，RX2_QDATA_OUT + 为接收通道 2 (Rx2) 数据输出 3。若不使用，请勿连接 RX2_QDATA_OUT + 引脚。
N5	输入	TX2_DCLK_IN+	在 LVDS SSI 模式下，TX2_DCLK_IN + 为发射通道 2 (Tx2) 数据时钟差分对正端输入；在 CMOS SSI 模式下，TX2_DCLK_IN + 为发射通道 2（Tx2）数据时钟输入。若不使用，请勿连接 TX2_DCLK_IN + 引脚。
N6	输入	TX2_DCLK_IN-	在 LVDS SSI 模式下，TX2_DCLK_IN−为发射通道 2（Tx2）数据时钟差分对负端输入；在 CMOS SSI 模式下，TX2_DCLK_IN−不使用。若不使用，请勿连接 TX2_DCLK_IN−引脚。
N7, N8, P1, P14	输入/输出	VSSD	数字电源电压（VSSD）
N9	输入	TX1_DCLK_IN−	在 LVDS SSI 模式下，TX1_DCLK_IN−为发射通道 1（Tx1）数据时钟差分对负端输入；在 CMOS SSI 模式下，TX1_DCLK_IN−不使用。若不使用，请勿连接 TX1_DCLK_IN−引脚。

N10	输入	TX1_DCLK_IN+	在 LVDS SSI 模式下，TX1_DCLK_IN + 为发射通道 1（Tx1）数据时钟差分对正端输入；在 CMOS SSI 模式下，TX1_DCLK_IN + 为发射通道 1（Tx1）数据时钟输入。若不使用，请勿连接 TX1_DCLK_IN + 引脚。
N11	输出	RX1_QDATA_OUT+	在 LVDS SSI 模式下，RX1_QDATA_OUT + 为接收通道 1（Rx1）Q 路采样数据差分对正端输出；在 CMOS SSI 模式下，RX1_QDATA_OUT + 为接收通道 1（Rx1）数据输出 3。若不使用，请勿连接 RX1_QDATA_OUT + 引脚。
N12	输出	RX1_QDATA_OUT−	在 LVDS SSI 模式下，RX1_QDATA_OUT−为接收通道 1（Rx1）Q 路采样数据差分对负端输出；在 CMOS SSI 模式下，RX1_QDATA_OUT−为接收通道 1（Rx1）数据输出 2。若不使用，请勿连接 RX1_QDATA_OUT−引脚。
N13	输出	RX1_STROBE_OUT+	在 LVDS SSI 模式下，RX1_STROBE_OUT + 为接收通道 1（Rx1）选通信号正端输出；在 CMOS SSI 模式下，RX1_STROBE_OUT + 为接收通道 1（Rx1）选通信号输出。若不使用，请勿连接 RX1_STROBE_OUT + 引脚。
N14	输出	RX1_STROBE_OUT-	在 LVDS SSI 模式下，RX1_STROBE_OUT−为接收通道 1（Rx1）选通信号负端输出；在 CMOS SSI 模式下，RX1_STROBE_OUT−不使用。若不使用，请勿连接 RX1_STROBE_OUT−引脚。
P2	输入	TX2_STROBE_IN+	在 LVDS SSI 模式下，TX2_STROBE_IN + 为发射通道 2（Tx2）选通信号差分对正端输入；在 CMOS SSI 模式下，TX2_STROBE_IN + 为发射通道 2（Tx2）选通信号输入。若不使用，请勿连接 TX2_STROBE_IN + 引脚。
P3	输入/输出	TX2_STROBE_IN-	在 LVDS SSI 模式下，TX2_STROBE_IN−为发射通道 2（Tx2）选通信号差分对负端输入；在 CMOS SSI 模式下，TX2_STROBE_IN−为发射通道 2（Tx2）参考数据时钟输出。若不使用，请勿连接 TX2_STROBE_IN−引脚。
P4	输入	TX2_QDATA_IN−	在 LVDS SSI 模式下，TX2_QDATA_IN−为发射通道 2（Tx2）Q 路采样数据差分对负端输入；在 CMOS SSI 模式下，TX2_QDATA_IN−为发射通道 2（Tx2）数据输入 2。若不使用，请勿连接 TX2_QDATA_IN−引脚。
P5	输入	TX2_QDATA_IN+	在 LVDS SSI 模式下，TX2_QDATA_IN + 为发射通道 2（Tx2）Q 路采样数据差分对正端输入；在 CMOS SSI 模式

			下，TX2_QDATA_IN + 为发射通道 2（Tx2）数据输入 3。若不使用，请勿连接 TX2_QDATA_IN + 引脚。
P6	输入	TX2_IDATA_IN+	在 LVDS SSI 模式下，TX2_IDATA_IN + 为发射通道 2（Tx2）I 路采样数据差分对正端输入，或发射通道 2（Tx2）I/Q 路采样数据差分对正端输入；在 CMOS SSI 模式下，TX2_IDATA_IN + 为发射通道 2（Tx2）数据输入 1。若不使用，请勿连接 TX2_IDATA_IN + 引脚。
P7	输入	TX2_IDATA_IN-	在 LVDS SSI 模式下，TX2_IDATA_IN−为发射通道 2（Tx2）I 路采样数据差分对负端输入，或发射通道 2（Tx2）I/Q 路采样数据差分对负端输入；在 CMOS SSI 模式下，TX2_IDATA_IN−为发射通道 2（Tx2）数据输入 0，或发射通道 2（Tx2）I/Q 路采样数据输入。若不使用，请勿连接 TX2_IDATA_IN−引脚。
P8	输入	TX1_IDATA_IN−	在 LVDS SSI 模式下，TX1_IDATA_IN−为发射通道 1（Tx1）I 路采样数据差分对负端输入，或发射通道 1（Tx1）I/Q 路采样数据差分对负端输入；在 CMOS SSI 模式下，TX1_IDATA_IN−为发射通道 1（Tx1）数据输入 0，或发射通道 1（Tx1）I/Q 路采样数据输入。若不使用，请勿连接 TX1_IDATA_IN−引脚。
P9	输入	TX1_IDATA_IN+	在 LVDS SSI 模式下，TX1_IDATA_IN + 为发射通道 1（Tx1）I 路采样数据差分对正端输入，或发射通道 1（Tx1）I/Q 路采样数据差分对正端输入；在 CMOS SSI 模式下，TX1_IDATA_IN + 为发射通道 1（Tx1）数据输入 1。若不使用，请勿连接 TX1_IDATA_IN + 引脚。
P10	输入	TX1_QDATA_IN+	在 LVDS SSI 模式下，TX1_QDATA_IN + 为发射通道 1（Tx1）Q 路采样数据差分对正端输入；在 CMOS SSI 模式下，TX1_QDATA_IN + 为发射通道 1（Tx1）数据输入 3。若不使用，请勿连接 TX1_QDATA_IN + 引脚。
P11	输入	TX1_QDATA_IN-	在 LVDS SSI 模式下，TX1_QDATA_IN−为发射通道 1（Tx1）Q 路采样数据差分对负端输入；在 CMOS SSI 模式下，TX1_QDATA_IN−为发射通道 1（Tx1）数据输入 2。若不使用，请勿连接 TX1_QDATA_IN−引脚。
P12	输入/输出	TX1_STROBE_IN−	在 LVDS SSI 模式下，TX1_STROBE_IN−为发射通道 1（Tx1）选通信号差分对负端输入；在 CMOS SSI 模式下，

			TX1_STROBE_IN−为发射通道 1（Tx1）参考数据时钟输出。若不使用，请勿连接 TX1_STROBE_IN−引脚。
P13	输入	TX1_STROBE_IN+	在 LVDS SSI 模式下，TX1_STROBE_IN + 为发射通道 1（Tx1）选通信号差分对正端输入；在 CMOS SSI 模式下，TX1_STROBE_IN + 为发射通道 1（Tx1）选通信号输入。若不使用，请勿连接 TX1_STROBE_IN + 引脚。

工作原理

CBMRF9002 是一款有广泛应用的可配置高集成度射频收发器芯片。该芯片集成了所有的射频、模拟信号和数字模块，以在单一设备中提供发射和接收功能。可编程特性允许两个接收通道和两个发射通道在移动无线电和蜂窝标准的时分双工（TDD）和频分双工（FDD）系统中使用。

CBMRF9002 的串行接口链路包括 LVDS 和 CMOS 同步串行接口（CSSI）。无论是接收器还是发射器通道，都提供了连接到现场可编程门阵列（FPGA）或其他集成基带解决方案的可靠、低引脚数量的数据接口。CBMRF9002 提供包括直流偏置、本振泄露和 QEC 校正的自校准功能，使用集成的微控制器核心在不同温度和输入信号条件下保持高性能校准水平。设备随附的固件可以安排所有校准工作，无需用户交互。

发射机

CBMRF9002 采用了直接变频发射器架构，由两个相同且独立控制的通道组成，提供所有数字处理、信号混频、PLL 和实现直接射频系统所需的射频模块。

CBMRF9002 有一个可选的、完全可编程的 128 抽头的 FIR 滤波器。FIR 的输出被发送到一系列插值滤波器，这些滤波器在数据到达 DAC（数字模拟转换器）之前提供额外的滤波和数据速率插值。

DAC 输出产生基带模拟信号。I、Q 路信号首先被滤波以去除采样误差，然后被送至上变频混频器。在混频阶段，I 和 Q 信号被重新组合并调制到载波频率上输出。每个发射链提供了广泛的衰减调整范围和精细的粒度，以帮助开发者优化信噪比。

接收机

CBMRF9002 的接收机是一个高集成、直接转换、低中频接收信号链。接收子系统由用于增益控制的电阻输入网络与电流模式被动混频器组成。混频器的输出电流通过跨阻放大器转换为电压并进行数字化，集成一个高性能的Σ-ΔADC，支持 1.5GSPS 和 750MSPS 两种采样率，数字基带提供了所需的滤波和降采样。

每个接收器有两个射频输入，并且每个射频输入提供独立的下变频通道，可以以异频方式工作，支持在两个射频输入通道间进行快速切换。

为了实现增益控制，实施了一个可编程的增益索引表。这个增益表映射在各个接收器模块之间分配衰

减，以在每个功率水平上实现最佳性能，增益范围为 30 dB。同时还提供了对自动和手动增益控制模式的额外支持。

接收器中的低通滤波器可重新配置，以帮助提供抗混叠滤波并改善带外阻塞。CBMRF9002 是一个宽带架构的收发器，依赖于 ADC 的高动态范围来同时接收信号和干扰。由接收低通滤波器提供的滤波衰减了 ADC 混叠镜像。

ADC 的输出可以通过一系列降采样滤波器和一个完全可编程的 128 个抽头 FIR 滤波器进一 步调节，该 FIR 滤波器还具有额外的降采样设置。每个数字滤波器模块的采样率会随着降采样因子的每次变化自动调整，以产生所需的输出数据速率。

对于要求低相位噪声性能的标准，CBMRF9002 可以在低中频模式下运行。CBMRF9002 可以接收与载波偏的信号，就像中频下变频方案一样。跟随模拟接收路径的数字频率合成器和混频器可以将中频信号下变频到基带。将信号下变频到基带可以在数据总线上实现更低的采样率。

观测接收机

在 FDD 类型的应用中，如果只使用一个接收器，或者在 TDD 类型的应用中，在发射时隙期间，未使用的接收器输入可以用来执行发射机观察。观察接收器的运行方式与主接收器类似。

使用观察接收器通道执行以下操作：

► 监控发射机通道并实现发射机本地振荡器泄露校正和发射机 QEC 校正。

► 监控功率放大器输出后的信号水平，以便在外部基带处理器中进行进一步数据处理。

- **时钟输入**

参考时钟输入提供了一个低频时钟，所有内部 CBMRF9002 时钟都是从这个时钟派生出来的。CBMRF9002 提供了多种参考输入时钟选项。设备上的参考输入时钟引脚标记为 DEV_CLK_IN±。 为了获得最佳性能，应通过外部源或外部晶体驱动差分参考时钟。如果提供了差分输入时钟，则时钟信号必须是交流耦合的，输入范围限制在 10 MHz 到 1 GHz 之间。CBMRF9002 也可以接受外部晶体（XTAL）作为时钟源。支持的晶体频率范围在 20 MHz 到 80 MHz 之间。外部晶体连接必须是直流耦合的。

如果差分时钟不可用，可以将单端的、交流耦合的、1 V 峰峰值（最大值）CMOS 信号应于 DEV_CLK_IN+引脚，同时 DEV_CLK_IN-引脚不连接。在这种模式下，最大时钟频率限制为 80 MHz。

频率合成器

CBMRF9002 提供两个不同的 PLL 路径，一个用于高频 RF 路径的 RF PLL 和一个用于数据转换器的数字和采样时钟的基带 PLL。

- **RF PLL**

CBMRF9002 中有 5 个独立的 RF PLL，其中 4 个主锁相环（RXPLL1/2/3/4）支持快速锁定以及快速跳频，

另外一个辅助 AuxPLL 可以用于环回校准测试。这 4 个主锁相环并不和某个发射或者接收通道绑定，而是可以任意配置为某一个或者多个收发通道的本振频率，具体应用方式可以见下表；

模式	说明	配置
1	TX1、RX1、TX2、RX2分别对应四个本振频率	TX1A → PLL1 TX2A → PLL2 RX1A/B → PLL3 RX2A/B → PLL4
2	TX1、RX1对应一个本振频率， TX2、RX2对应另一个本振频率	TX1A & RX1A/B → PLL1 TX2A & RX2A/B → PLL2
3	TX1、RX1、TX2、RX2对应一个本振频率， 支持跳频	TX1A & RX1A/B & TX2 & RX2A/B → PLL1
4	TX1、TX2对应一个本振频率， RX1、RX2对应另一个本振频率	TX1A & TX2A → PLL1 RX1A/B & RX2A/B → PLL2
5	片外本振	EXT_LO1 → TX1A & RX1A/B EXT_LO2 → TX2A & RX2A/B

RF PLL支持使用内部和外部LO本振信号。内部LO由芯片上的VCO产生，其可调频率范围为6.5 GHz至14.5GHz。VCO的输出可通过API命令编程的N分频 PLL与外部参考时钟进行相位锁定。VCO输出通过一系列频率分频器组合来产生10 MHz至7.25 GHz频率范围内的同相和正交相位LO信号。

同时还可以将外部LO信号应用于CBMRF9002的外部LO输入，以在RF路径中生成正交的LO信号。如果选择外部LO路径，输入频率范围在20 MHz至14.5GHz之间。CBMRF9002支持各种形式的快速频率跳变（FFH），其中频率驻留时间和过渡时间是这些形式之间的主要区别因素。随着频率过渡时间的减少，RF PLL相位噪声以及QEC和LOL算法的性能会降低。FFH模式支持在启动时预加载或由用户流式传输到CBMRF9002的跳变频率。在FFH模式下，频率之间的跳变可以通过切换GPIO引脚或执行API命令来触发。

BB PLL

CBMRF9002包含一个基带PLL合成器，用于生成所有与基带和数据端口相关的时钟，主要作为高速采样ADC、DAC以及数字基带信号处理时钟，以及MCU的运行时钟，可以根据系统的速率和采样率要求进行自动编程，以适配不同的带宽和输入输出数据采样率要求。

- **SPI**

CBMRF9002使用SPI与基带处理器进行通信。该接口可以配置为具有专用接收和发射端口的4线接口，或配置为具有双向数据通信端口的3线接口。该总线允许基带处理器使用简单的地址数据串行总线协议设置所有设备控制参数。

写入命令遵循32位格式。第一个位设置总线传输的方向，接下来的31位设置数据写入地址，紧跟着

32位的写入数据，支持数据连续写入，每32位数据完成，内部地址会自动增加，最后一个32位数据写入之后，需要继续写入至少8位的dummy数据，以使最后一个32位数据正确写入相应地址。读取命令遵循类似的格式，但是不需要最后的dummy时钟。具体信号时序如下图所示：

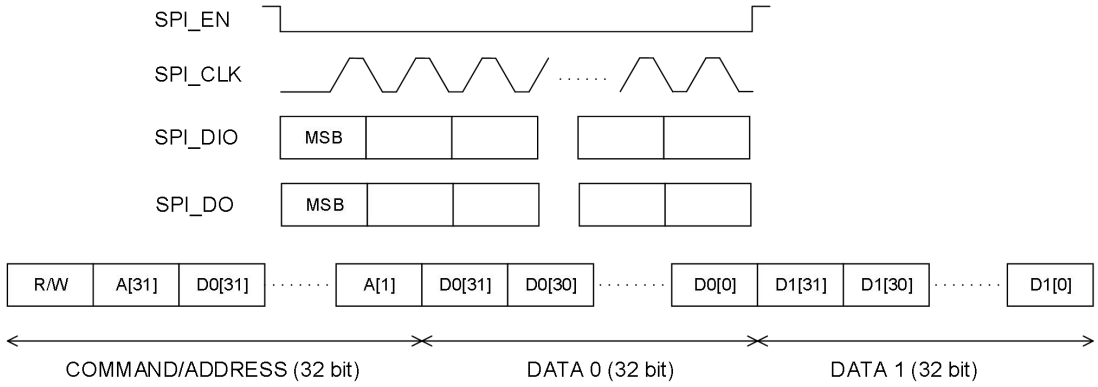

图 4 SPI 时序

- **数字 GPIO**

CBMRF9002的GPIO信号参考VDIGIO_1P8供电，旨在与数字电路兼容，并可以配置为多种功能。这些引脚中的一些，当配置为输出时，被基带处理器用作实时信号，以提供许多内部设置和测量。这种配置允许基带处理器在不同情况下监控接收器的性能。用于手动增益模式、校准标志、状态机状态和各种接收器参数的信号可以输出到用于监控的引脚上。此外，某些引脚可以配置为输入，并用于各种功能，例如实时设置接收器增益或发射器衰减，快速跳频设置等。

- **模拟 GPIO**

AGPIO引脚旨在与执行模拟功能的系统模块交互。参考VAGPIO_1P8供电的AGPIO引脚向外部组件提供控制信号，例如低噪声放大器（LNA）或数字步进衰减器（DSA），选定的AGPIO引脚提供备用的辅助DAC功能。

- **辅助 ADC 输入**

CBMRF9002包含四个辅助ADC，相应的输入连接到四个专用输入引脚（AUXADC_x）。这个模块可以在不需要额外组件的情况下监控系统电压。辅助ADC是12位的，输入电压范围为0.05 V至VDDA_1P8-0.05 V。当启用时，辅助ADC是自由运行的。API函数允许用户读取ADC最后锁定的值。

- **辅助 DAC 输入**

CBMRF9002包含四个相同的辅助DAC（AUXDAC_x），它们可以提供偏置电压、模拟控制电压或其他系统功能。辅助DAC（AUXDAC_0至AUXDAC_3）与AGPIO_xx引脚复用。辅助DAC是10位的，输出电压范围大约为0.05 V至VDDA_1P8-0.05 V，并且具有10 mA的电流驱动能力。辅助DAC生成的上升和

下降模式可以被加载到CBMRF9002中，然后根据专用DGPIO引脚的状态触发。

- **数据传输接口 CSSI/LSSI**

CBMRF9002数据输入输出都可以支持CMOS模式或者LVDS模式，但是同时只能支持一种模式进行传输，支持数据位宽为24bit模式，16bit模式和12bit模式，MSB首先传输。当工作在CMOS模式时，可以支持单通道或者四通道数据传输，每个通道最高数据比特速率为491.52Mbps，如果采用单通道时，I/Q数据同时都在通道0上传输，I路数据在前，Q路数据在后，如果四通道时，通道0/1传输数据I，通道2/3传输数据Q。当工作在LVDS模式时，可以支持单通道或者两通道数据传输，因为采用DDR模式，每个通道最高数据比特速率为983.04Mbps，如果采用单通道时，I/Q数据同时都在通道0上传输，I路数据在前，Q路数据在后，MSB先传输，如果两通道时，通道0传输数据I，通道1传输数据Q。

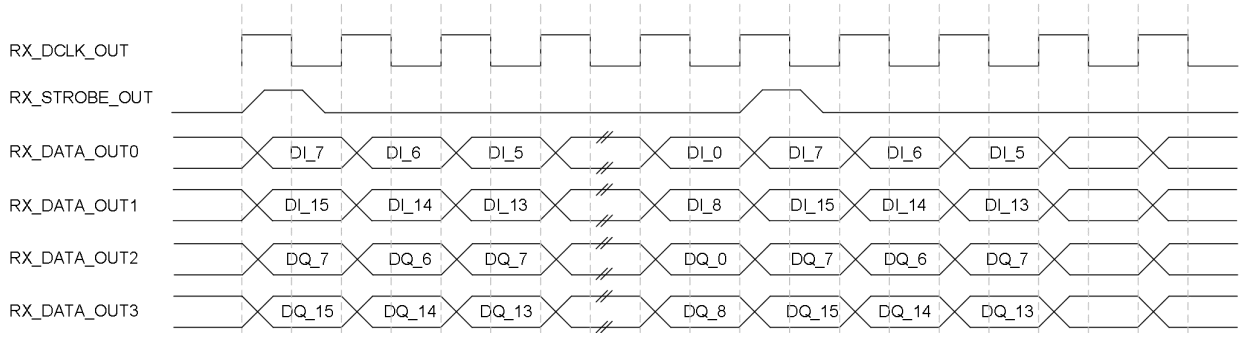

图 5 CSSI 4-线模式

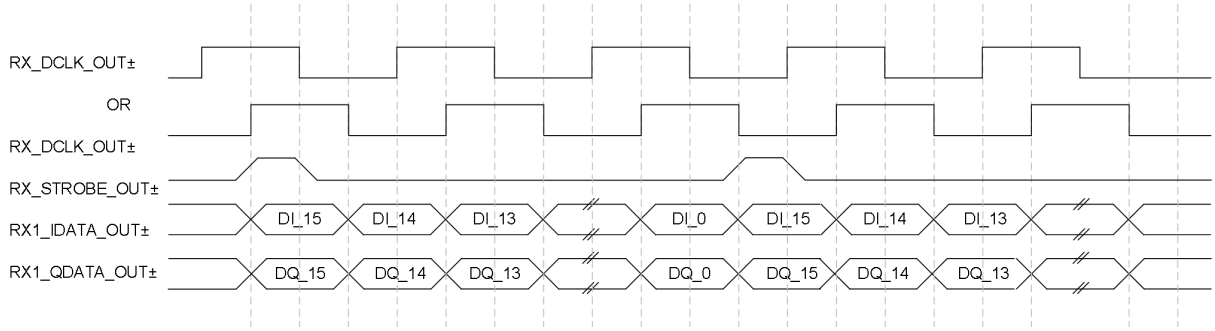

图 6 LSSI 2-线模式

表 8 和表 9 说明了通道配置与通道速率之间的关系。

在 24 位模式下，实际数据分辨率为 18 位。

表 8

CSSI 通道数	数据比特位宽/bit	最高I/Q数据采样率 /Mbps	有效信号带宽 /Mhz
1	16	15.36	12.5
1	24	10.24	8.5
4	12	81.92	70

4	16	61.44	50
4	24	40.96	34

表 9

LSSI 通道数	数据比特位宽/bit	最高I/Q数据采样率 /Mbps	有效信号带宽 /Mhz
1	16	30.72	25
1	24	20.48	17
2	12	81.92	70
2	16	61.44	50
2	24	40.96	34

封装外形及尺寸

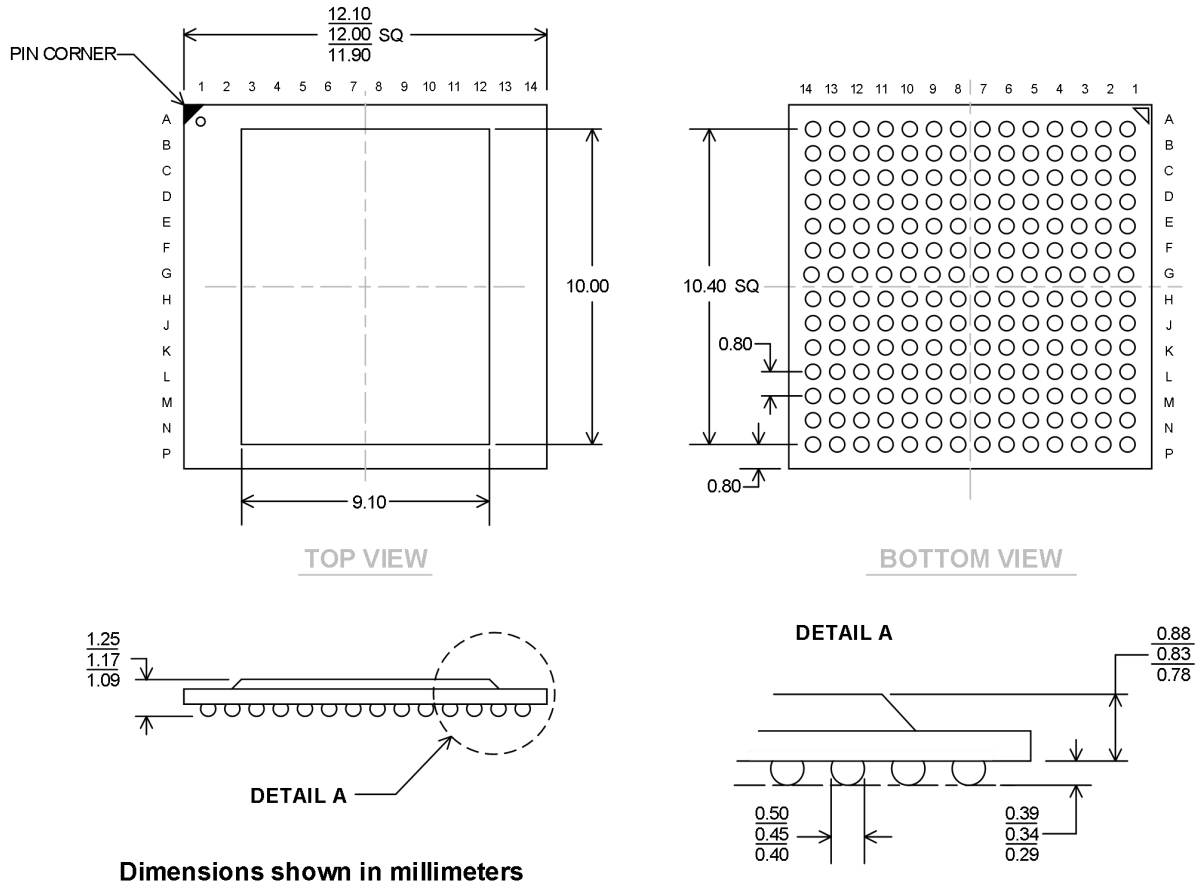

图 6 CSP_BGA-196

包装/订购信息

产品型号	订单编码	温度范围	产品封装	丝印	包装数量
CBMRF9002BG		-40℃~85℃	CSP_BGA 196		