

产品特性

- 双发射机
- 双接收机
- 双观测接收机
- 最大接收机带宽: 400 MHz
- 最大发射机带宽: 450 MHz
- 最大观测接收机带宽: 450 MHz
- 集成本振小数频率合成器
- 集成时钟频率合成器
- RF LO 和基带时钟多芯片相位同步
- 12.288 Gbps JESD204B 接口
- 载波频率范围: 75 MHz 至 6000 MHz
- 各收发通道同时异频工作
- 快速跳频
- 零中频和低中频两种工作模式

产品应用

- 4G/5G 基站、直放站
- 有源天线系统
- 大规模多输入多输出系统 (MIMO)
- 相控阵列系统
- 测试设备

产品概述

CBMRF9009 是一款高度集成的直接变频射频收发机芯片, 能够提供双发射机和双接收机, 同时集成了锁相环频率综合器和数字信号处理功能。接收通道 (RX) 由两个独立的、具有良好动态范围的直接变频宽带接收机组成, 可以提供最高 400M 大接收带宽。

CBMRF9009 还支持两路观测接收机 (ORX), 可用于数字预失真 (DPD) 等需求。完整的接收通路集成了自动和手动增益控制、直流偏移校正、正交误差校正, 数字滤波等功能, 可以帮助用户减少数字处理器中的工作。

接收通路使用交织采样 pipeline 型 ADC, 对接收信号进行过采样, 能够充分抑制带外镜像。再加上直接变频架构, 相比传统的外差架构, 大大降低了对系统中滤波器的要求。发射机使用的直接变频架构能够实现高调制精度和较低的噪声。

观测接收机 (ORX) 集成了手动增益控制、直流偏移校正、正交误差校正, 数字滤波等功能, 可以实现大接收带宽和较高的动态范围。观测接收机支持最大 450M 双接收, 如果没有 AGC 的需求, 也可以用于宽带接收机。

芯片内集成了高性能小数频率合成器, 为发射机和接收机提供高质量的本振信号、为数字电路、转换器、串行接口提供所需时钟。内部集成了 2 颗用于模拟本振的小数频率合成器, 可分配给任意发射或接收通路作为射频本振, 也能够支持乒乓快速跳频。

CBMRF9009 具有多芯片相位同步机制, 可以同步多个芯片之间的模拟本振 (LO) 和数字时钟。CBMRF9009 支持高速 JESD204B 接口, 最高可以支持 12.288 Gbps 线速率。可以支持发射或接收数据灵活分配。CBMRF9009 需要 1V、1.2V、1.8V、3.3V 四个电源轨供电, 可以由 LDO 或开关电源直

接供电。控制方式支持标准 SPI 接口控制 。
CBMRF9009 采用 12 mm × 12 mm、196 引脚
球栅阵列封装 (CSP-BGA) 。CBMRF9009 为工业
级射频收发器芯片，支持的工作温度范围是
-40~+85℃。

目录

产品特性	- 1 -
产品应用	- 1 -
产品概述	- 1 -
修订日志	- 4 -
功能框图	- 5 -
电气特性	- 6 -
绝对最大额定值	- 15 -
引脚分配及功能描述	- 17 -
工作原理	- 22 -
封装外形及尺寸	- 24 -
包装/订购信息	- 24 -

修订日志

版本	修订日期	变更内容	变更原因	制作	审核	备注
V1.0	2025.11.10					

功能框图

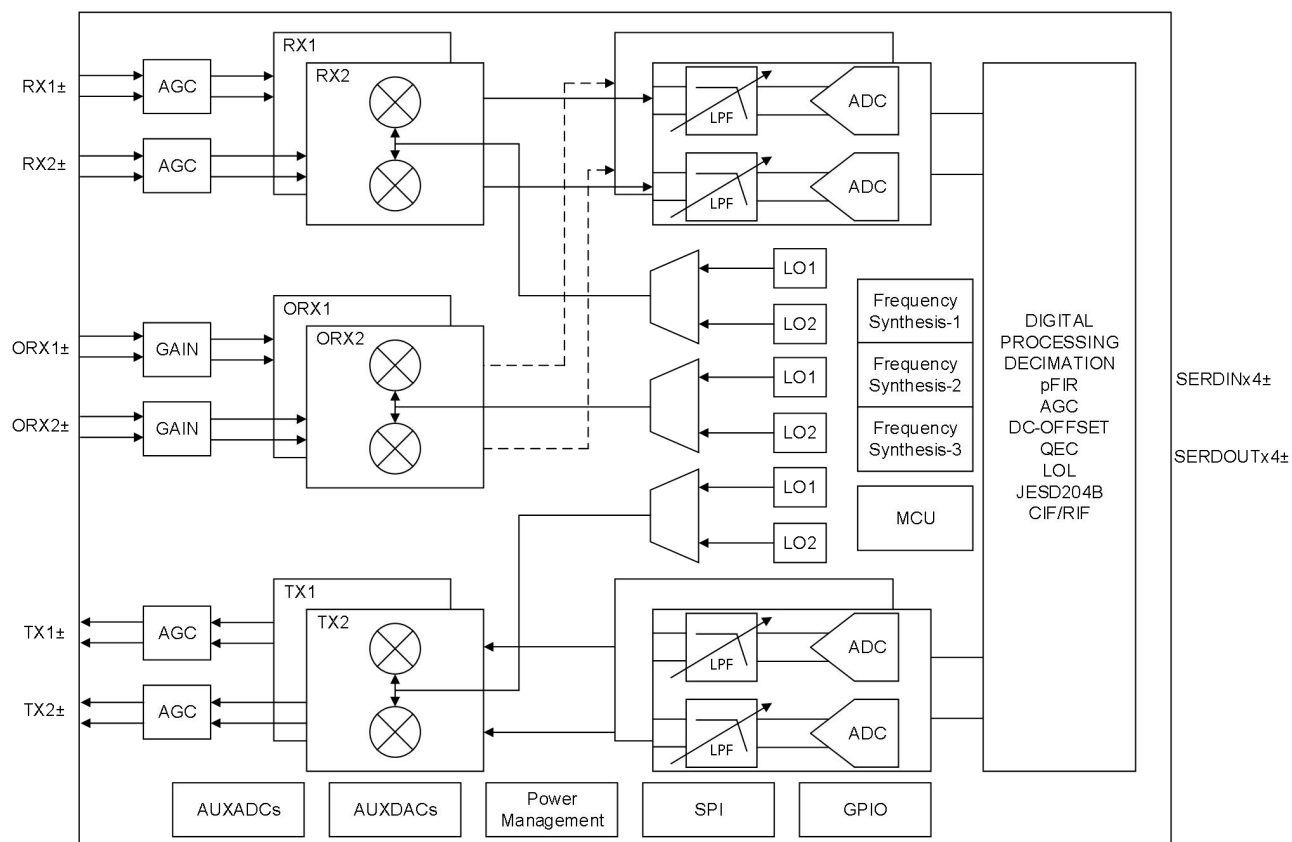


图 1 功能框图

电气特性

下述规格测试条件为：VDDA1P2 = 1.2 V，VDDD1P0_DIG = 1.0 V，VDDA1P8_TX = 1.8 V，结温 (TJ) = 满工作温度范围。除非另有说明，本振频率 (LO) = 1800MHz。下表中的规格基于评估板测试，除非另有说明，未做去嵌。输入和输出路径损耗请参考下表。

表 1

频率范围	TX 路径损耗
0.1GHz~5GHz	2dB
5GHz~5.5GHz	3dB
5.5GHz~6GHz	3.5dB

表 2

频率范围	TX 路径损耗
0.1GHz~3GHz	2dB
3GHz~4GHz	2.5dB
4GHz~5.5GHz	3dB
5.5GHz~6GHz	3.5dB

芯片配置:

RX BW 200MHz (IQ rate = 245.76MHz), 模拟增益 0dB;

TX BW 450MHz (IQ rate = 491.52MHz), 模拟衰减 0dB;

ORX BW 450MHz (IQ rate = 491.52MHz), 模拟衰减 0dB;

基准时钟频率范围 = 122.88MHz.

表 3

发射机

参数	符号	最小值	典型值	最大值	单位	测试条件
频率范围		75		6000	MHz	
发射信号带宽				450	MHz	
带内平坦度		±1			dB	
模拟衰减范围		0		31.5	dB	
模拟衰减步进			0.5		dB	
邻信道泄露比	ACPR					100MHz bandwidth OFDM
			-57		dB	LO=0.7GHz, -13dBfs
			-55		dB	LO=2.595GHz, -12dBfs
			-53		dB	LO=4.88GHz, -15dBfs
带内底噪						Test at LO+50MHz
			-143.2		dBm/Hz	LO=75MHz
			-143.6		dBm/Hz	LO=300MHz
			-145.8		dBm/Hz	LO=700MHz
			-147.2		dBm/Hz	LO=1800MHz
			-148.2		dBm/Hz	LO=2600MHz
			-149.3		dBm/Hz	LO=3600MHz
			-149.4		dBm/Hz	LO=4600MHz
			-149.7		dBm/Hz	LO=5500MHz
			-149.3		dBm/Hz	LO=5800MHz
插值镜像			-80		dBc	
隔离度 TX1-TX2			97		dB	LO=300MHz

			99		dB	LO=700MHz
			91		dB	LO=1800MHz
			75		dB	LO=2600MHz
			77		dB	LO=3600MHz
			85		dB	LO=4600MHz
			78		dB	LO=5500MHz
			69		dB	LO=5800MHz
镜像抑制	IRR					20MHz 偏移频率 from LO
			59		dBc	LO=300MHz
			63		dBc	LO=700MHz
			62		dBc	LO=1800MHz
			65		dBc	LO=2600MHz
			65		dBc	LO=3600MHz
			62		dBc	LO=4600MHz
			57		dBc	LO=5500MHz
			58		dBc	LO=5800MHz
最大输出功率						数字 power-1dBfs
			10.1		dBm	LO=300MHz
			10.4		dBm	LO=700MHz
			9.6		dBm	LO=1800MHz
			9.4		dBm	LO=2600MHz
			6.4		dBm	LO=3600MHz
			6.7		dBm	LO=4600MHz
			4.7		dBm	LO=5500MHz
			4.9		dBm	LO=5800MHz
输出三阶交调点	OIP3					0 dB transmitter attenuation
			28		dBm	LO=300MHz
			27		dBm	LO=700MHz
			26		dBm	LO=1800MHz
			26		dBm	LO=2600MHz

			22		dBm	LO=3600MHz
			22		dBm	LO=4600MHz
			21		dBm	LO=5500MHz
			20		dBm	LO=5800MHz
载波泄露	LOL					With LO leakage correction active, 0 dB attenuation, scales decibel for decibel with attenuation, measured in 1 MHz bandwidth, resolution bandwidth and video bandwidth = 100 kHz, rms detector, 100 trace average
			-78		dBc	LO=300MHz
			-78		dBc	LO=700MHz
			-71		dBc	LO=1800MHz
			-68		dBc	LO=2600MHz
			-65		dBc	LO=3600MHz
			-76		dBc	LO=4600MHz
			-65		dBc	LO=5500MHz
			-65		dBc	LO=5800MHz
误差向量幅度	EVM					3GPP TM3.1A test signal
			1.49		%	LO=2.595GHz
输出阻抗	Z _{OUT}		50		Ω	Differential

表 4

接收机						
参数	符号	最小值	典型值	最大值	单位	测试条件
频率范围		75		6000	MHz	
模拟衰减范围		0		31.5	dB	
模拟衰减步进			0.5		dB	
带内平坦度			±1		dB	未进行平坦度校准
带宽				400	MHz	

抗混叠抑制度		70			dB	Due 至 数字 filters
最大输入电平	P _{HIGH}					0 dB attenuation, CW signal, corresponds 至 -0.5 dBFS at ADC
			-13.5		dBm	LO=300MHz
			-13.8		dBm	LO=700MHz
			-15.9		dBm	LO=1800MHz
			-14.6		dBm	LO=2600MHz
			-13.1		dBm	LO=3600MHz
			-11.1		dBm	LO=4600MHz
			-9.5		dBm	LO=5500MHz
			-9.9		dBm	LO=5800MHz
噪声系数	NF					0 dB attenuation, at receiver port
			13.1		dB	LO=700MHz
			12.0		dB	LO=1800MHz
			12.9		dB	LO=2600MHz
			13.3		dB	LO=3600MHz
			15.3		dB	LO=4600MHz
			16.8		dB	LO=5500MHz
			15.7		dB	LO=5800MHz
输入三阶交调点	IIP3					Two 至ne signal, -7dBFS per 至ne
			12.2		dBm	LO=300MHz
			16.8		dBm	LO=700MHz
			15.4		dBm	LO=1800MHz
			14.8		dBm	LO=2600MHz
			15.8		dBm	LO=3600MHz
			15.8		dBm	LO=4600MHz
			17.1		dBm	LO=5500MHz
			18.2		dBm	LO=5800MHz

三次谐波失真	HD3					-15 dBFs, CW 至ne at 20MHz 偏移频率 from LO
			-69.6		dBc	LO=300MHz
			-71.9		dBc	LO=700MHz
			-69.1		dBc	LO=1800MHz
			-70.2		dBc	LO=2600MHz
			-67.3		dBc	LO=3600MHz
			-66.8		dBc	LO=4600MHz
			-68.4		dBc	LO=5500MHz
			-67.0		dBc	LO=5800MHz
二阶交调	IM2					Two-至ne CW signal, -7dBFs with calibration
			63.6		dBc	LO=300MHz
			71.9		dBc	LO=700MHz
			69.9		dBc	LO=1800MHz
			67.4		dBc	LO=2600MHz
			66.9		dBc	LO=3600MHz
			66.5		dBc	LO=4600MHz
			63.5		dBc	LO=5500MHz
			65.0		dBc	LO=5800MHz
镜像抑制						QEC active
			-70.8		dBc	LO=300MHz
			-66.4		dBc	LO=700MHz
			-79.1		dBc	LO=1800MHz
			-75.1		dBc	LO=2600MHz
			-66.5		dBc	LO=3600MHz
			-75.3		dBc	LO=4600MHz
			-69.1		dBc	LO=5500MHz
			-60.1		dBc	LO=5800MHz
输入阻抗			100		Ω	Differential
隔离度			88		dB	LO=300MHz

RX1-RX2			84		dB	LO=700MHz
			76		dB	LO=1800MHz
			67		dB	LO=2600MHz
			63		dB	LO=3600MHz
			58		dB	LO=4600MHz
			63		dB	LO=5500MHz
带内最大杂散						-5dBfs receiver signal
			-62		dBc	LO=300MHz
			-65		dBc	LO=700MHz
			-64		dBc	LO=1800MHz
			-60		dBc	LO=2600MHz
			-60		dBc	LO=3600MHz
			-55		dBc	LO=4600MHz
			-54		dBc	LO=5500MHz
接收直流偏置			-54		dBc	LO=5800MHz
			-66		dBfs	LO=300MHz
			-73		dBfs	LO=700MHz
			-67		dBfs	LO=1800MHz
			-69		dBfs	LO=2600MHz
			-66		dBfs	LO=3600MHz
			-65		dBfs	LO=4600MHz
			-66		dBfs	LO=5500MHz
			-67		dBfs	LO=5800MHz

表 5

本振和时钟

参数	符号	最小值	典型值	最大值	单位	测试条件
相位噪声 122.88MHz			-94		dBc/Hz	10Hz 偏移频率
			-104		dBc/Hz	100Hz 偏移频率
			-114		dBc/Hz	1kHz 偏移频率
			-125		dBc/Hz	10kHz 偏移频率
			-129		dBc/Hz	100kHz 偏移频率

相位噪声 2000MHz			-143		dBc/Hz	1MHz 偏移频率
			-148		dBc/Hz	10MHz 偏移频率
			-72		dBc/Hz	10Hz 偏移频率
			-81		dBc/Hz	100Hz 偏移频率
			-92		dBc/Hz	1kHz 偏移频率
			-100		dBc/Hz	10kHz 偏移频率
			-104		dBc/Hz	100kHz 偏移频率
			-131		dBc/Hz	1MHz 偏移频率
相位噪声 4000MHz			-148		dBc/Hz	10MHz 偏移频率
			-66		dBc/Hz	10Hz 偏移频率
			-75		dBc/Hz	100Hz 偏移频率
			-86		dBc/Hz	1kHz 偏移频率
			-94		dBc/Hz	10kHz 偏移频率
			-97		dBc/Hz	100kHz 偏移频率
			-125		dBc/Hz	1MHz 偏移频率
			-144		dBc/Hz	10MHz 偏移频率
相位噪声 6000MHz			-62		dBc/Hz	10Hz 偏移频率
			-72		dBc/Hz	100Hz 偏移频率
			-82		dBc/Hz	1kHz 偏移频率
			-90		dBc/Hz	10kHz 偏移频率
			-94		dBc/Hz	100kHz 偏移频率
			-118		dBc/Hz	1MHz 偏移频率
			-143		dBc/Hz	10MHz 偏移频率
LO 相位同步精度			±5		Degrees	
锁定时间			1.5		ms	
快速锁定时间			33		us	
跳频			30000		hop/s	

表 6

基准时钟

参数	符号	最小值	典型值	最大值	单位	测试条件
接口类型			LVDS			
频率范围		50		1000	MHz	
时钟信号幅度		0.2		0.8	Vpp	
共模电压			1.2		V	
差分输入阻抗			100		Ω	External resistor needed

表 7

SYSREF_IN

参数	符号	最小值	典型值	最大值	单位	测试条件
接口类型			LVDS			
时钟信号幅度		0.2		0.8	Vpp	
共模电压			1.2		V	
差分输入阻抗			100		Ω	External resistor needed

表 8

电源

参数	符号	最小值	典型值	最大值	单位	测试条件
供电特性						
VDDA1P2 电压		1.20	1.25	1.30	V	
VDDD1P0 电压		0.90	0.95	1.0	V	
VDDA1P8_Tx 电压		1.71	1.8	1.89	V	
VDDA1P8_BB 电压		1.71	1.8	1.89	V	
VDDA_Interface 电压		1.71	1.8	2.625	V	
VDDA_3P3电压		3.135	3.3	3.456	V	
功耗						

VDDA1P2 电流			2.38		A	2TX 450MHz Transmitter Bandwidth, LO=3GHz, 输入 CW=-6dBfs
VDDD1P0 电流			1.91		A	
VDDA1P8 电流			0.41		A	
VDDA_3P3 电流			0.12		A	
总功耗			5.8		W	
VDDA1P2 电流			2.18		A	2RX 200MHz Receiver Bandwidth, LO=3GHz, 输入 CW=-6dBfs
VDDD1P0 电流			1.36		A	
VDDA1P8 电流			0.56		A	
VDDA_3P3 电流			0.12		A	
总功耗			5.31		W	
VDDA1P2 电流			2.96		A	2TX 450MHz Transmitter Bandwidth, 2RX 200MHz Receiver Bandwidth, LO=3GHz, 输入 CW=-6dBfs
VDDD1P0 电流			2.29		A	
VDDA1P8 电流			0.94		A	
VDDA_3P3 电流			0.12		A	
总功耗			7.82		W	

绝对最大额定值

表 9

参数	范围
VDDA1P2 至 VSSA	-0.3V 至 +1.4V
VDDA1P0 至 VSSA	-0.3V 至 +1.2V
VDDA1P8_Tx, VDDA1P8_BB 至 VSSA	-0.3V 至 +2.0V
VDD_Interface 至 VSSD	-0.3V 至 +2.8V
VDDA_3P3 至 VSSA	-0.3V 至 +3.9V
最大结温T _j	125°C
存储温度范围	-65°C 至 +150°C
工作温度范围	-40~+85°C

热设计

CBMRF9009 是一款高功率器件, 功耗根据用户应用和配置而不同。下图显示了安装在印刷电路 (PCB) 和散热器 (通常为铝壳) 上的器件轮廓图, 客户需要良好设计散热结构, 以保持结芯片结温低于芯片支持的最大 T_J 。芯片具有热保护机制, 当芯片结温大于 130°C 时会自动关闭发射和接收通道, 防止芯片过热损坏。用户可根据相关寄存器查看热保护信息, 来进行相应异常处理。

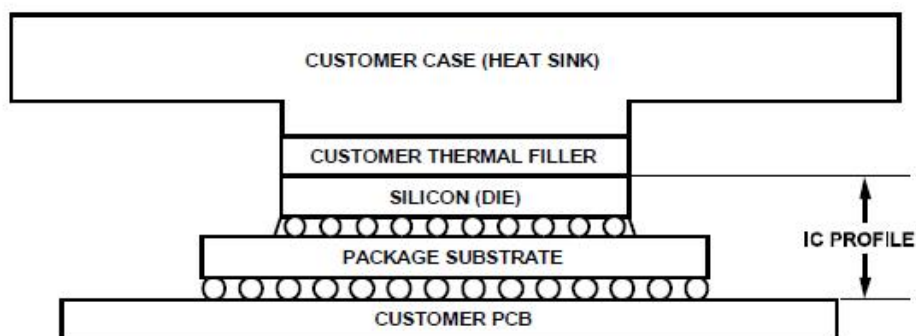


图 2 典型热设计解决方案

热阻		
参数	典型值	单位
R_{js}	2	K/W
R_{js-top}	0.03	K/W

引脚分配及功能描述

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	VSSA	ORX2_IN+	ORX2_IN-	VSSA	RX2_IN+	RX2_IN-	VSSA	VSSA	RX1_IN+	RX1_IN-	VSSA	ORX1_IN+	ORX1_IN-	VSSA
B	VDDA1P2_RX_RF	VSSA	VSSA	VSSA	VSSA	VSSA	RF_EXT_L0_I/O-	RF_EXT_L0_I/O+	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
C	GPIO_3P3_0	GPIO_3P3_3	VDDA1P2_RX_TX	VSSA	VDDA1P2_RF_VCO_LD0	VDDA1P2_RF_VCO_LD0	VDDA1P1_RF_VCO	VDDA1P2_RF_L0	VSSA	VDDA1P2_AUX_VCO_LD0	VSSA	VDDA_3P3	GPIO_3P3_9	RBIAS
D	GPIO_3P3_1	GPIO_3P3_4	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VDDA1P1_AUX_VCO_LD0	VSSA	VSSA	GPIO_3P3_8	GPIO_3P3_10
E	GPIO_3P3_2	GPIO_3P3_5	GPIO_3P3_6	VDDA1P8_BB	VDDA1P8_BB	VSSA	REF_CLK_IN+	REF_CLK_IN-	VSSA	AUX_SYNTH_OUT	AUXADC_3	VDDA1P8_TX	GPIO_3P3_7	GPIO_3P3_11
F	VSSA	VSSA	AUXADC_0	AUXADC_1	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	AUXADC_2	VSSA	VSSA	VSSA
G	VSSA	VSSA	VSSA	VSSA	VDDA2P2_CLK_SYNTH	VSSA	VDDA2P2_RF_SYNTH	VDDA2P2_AUX_SYNTH	RF_SYNTH_VTUNE	VSSA	VSSA	VSSA	VSSA	VSSA
H	TX2_OUT-	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	GPIO_12	GPIO_11	VSSA	TX1_OUT+
J	TX2_OUT+	VSSA	GPIO_18	RESET	GP_INTERRUPT	TEST	GPIO_2	GPIO_1	SDIO	SD0	GPIO_13	GPIO_10	VSSA	TX1_OUT-
K	VSSA	VSSA	SYSREF_IN+	SYSREF_IN-	GPIO_5	GPIO_4	GPIO_3	GPIO_0	SCLK	CS	GPIO_14	GPIO_9	VSSA	VSSA
L	VSSA	VSSA	SYNCIN1-	SYNCIN1+	GPIO_6	GPIO_7	VSSD	VDD01P0_D1G	VDD01P0_D1G	VSSD	GPIO_15	GPIO_8	SYNCOUT1-	SYNCOUT1+
M	VDDA1P1_CLK_VCO	VSSA	SYNCIN0-	SYNCIN0+	RX1_ENABLE	TX1_ENABLE	RX2_ENABLE	TX2_ENABLE	VSSA	GPIO_17	GPIO_16	VDD_INTERF Ace	SYNCOUT0-	SYNCOUT0+
N	VDDA1P2_CLK_VCO_LD0	VSSA	SERDOUT3-	SERDOUT3+	SERDOUT2-	SERDOUT2+	VSSA	VDDA1P2_SER	VDDA1P2_DES	SERDIN1-	SERDIN1+	SERDIN0-	SERDIN0+	VSSA
P	AUX_SYNTH_VTUNE	VSSA	VSSA	SERDOUT1-	SERDOUT1+	SERDOUT0-	SERDOUT0+	VDDA1P2_SER	VDDA1P2_DES	VSSA	SERDIN3-	SERDIN3+	SERDIN2-	SERDIN2+

图 3 引脚分配 (顶视图)

表 10 Pin Function Descriptions (Parallel CMOS Mode)

Pin No.	Type	Mnemonic	Description
L8, L9	输入	VDDD1P0_DIG	数字内核供电
E5	输入	VDDA1P2_BB	ADC 1.2V 供电
N1	输入	VDDA1P2_CLOCK_VCO_LDO	VCO 1.2V 供电
B1	输入	VDDA1P2_RX_RF	DAC 1.2V 供电
C3	输入	VDDA1P2_RX_TF	模拟 1.2V 供电
C10	输入	VDDA1P2_AUX_VCO_LDO	VCO 1.2V 供电
C8	输入	VDDA1P2_RF_LO	LO 1.2V 供电
C5, C6	输入	VDDA1P2_RF_VCO_LDO	VCO 1.2V 供电
N9, P9	输入	VDDA1P2_DES	JESD204B deserializer 1.2V 供电
N8, P8	输入	VDDA1P2_SER	JESD204B serializer 1.2V 供电
C12	输入	VDDA_3P3	3.3V 供电
E12	输入	VDDA1P8_TX	模拟 1.8V 供电
E4	输入	VDDA1P8_BB	数字 1.8V 供电
M12	输入	VDD_INTERFACE	数字 IO 供电
C7	输出	VDDA1P1_RF_VCO	1.1V输出接去耦电容
M1	输出	VDDA1P1_CLOCK_VCO	1.1V输出, 通过电容连接到VSSA
D10	输出	VDDA1P1_AUX_VCO	1.1V输出, 通过电容连接到VSSA
G5	输出	VDDA2P2_CLOCK_SYNTH	2.2V输出, 通过电容连接到VSSA
G7	输出	VDDA2P2_RF_SYNTH	2.2V输出, 通过电容连接到VSSA
G8	输出	VDDA2P2_AUX_SYNTH	2.2V输出, 通过电容连接到VSSA
K8	输入/输出	GPIO_0	GPIO
J8	输入/输出	GPIO_1	
J7	输入/输出	GPIO_2	
K7	输入/输出	GPIO_3	
K6	输入/输出	GPIO_4	
K5	输入/输出	GPIO_5	
L5	输入/输出	GPIO_6	
L6	输入/输出	GPIO_7	
L12	输入/输出	GPIO_8	
K12	输入/输出	GPIO_9	

J12	输入/输出	GPIO_10	
H12	输入/输出	GPIO_11	
H11	输入/输出	GPIO_12	
J11	输入/输出	GPIO_13	
K11	输入/输出	GPIO_14	
L11	输入/输出	GPIO_15	
M11	输入/输出	GPIO_16	
M10	输入/输出	GPIO_17	
J3	输入/输出	GPIO_18	
C1	输入/输出	GPIO_3P3_0	通用3.3V GPIO接口
D1	输入/输出	GPIO_3P3_1	
E1	输入/输出	GPIO_3P3_2	
C2	输入/输出	GPIO_3P3_3	
D2	输入/输出	GPIO_3P3_4	
E2	输入/输出	GPIO_3P3_5	
E3	输入/输出	GPIO_3P3_6	
E13	输入/输出	GPIO_3P3_7	
D13	输入/输出	GPIO_3P3_8	
C13	输入/输出	GPIO_3P3_9	
D14	输入/输出	GPIO_3P3_10	
E14	输入/输出	GPIO_3P3_11	
J9	输入/输出	SDIO	四线模式下为串行数据输入，三线模式下为输入 / 输出
J10	输出	SDO	串行数据输出。在 SPI 三线模式下，请勿连接此引脚
K9	输入	SCLK	串行数据总线时钟
K10	输入	CS	串行数据总线片选，低电平有效
M5	输入	RX1_ENABLE	接收器 1 使能引脚。未使用时，需通过下拉电阻将此引脚接地，或直接将此引脚接地
M6	输入	TX1_ENABLE	发射器 1 使能引脚。未使用时，需通过下拉电阻将此引脚接地，或直接将此引脚接地
M7	输入	RX2_ENABLE	接收器 2 使能引脚。未使用时，需通过下拉电阻将此引脚接地，或直接将此引脚接地

M8	输入	TX2_ENABLE	发射器 2 使能引脚。未使用时，需通过下拉电阻将此引脚接地，或直接将此引脚接地
P7	输出	SERDOUT0+	JESD204B 输出 0 差分
P6	输出	SERDOUT0-	
P5	输出	SERDOUT1+	JESD204B 输出1 差分
P4	输出	SERDOUT1-	
N6	输出	SERDOUT2+	JESD204B 输出 2 差分
N5	输出	SERDOUT2-	
N4	输出	SERDOUT3+	JESD204B 输出 3 差分
N3	输出	SERDOUT3-	
N13	输入	SERDIN0+	JESD204B 输出 0 差分
N12	输入	SERDIN0-	
N11	输入	SERDIN1+	JESD204B 输出1 差分
N10	输入	SERDIN1-	
P14	输入	SERDIN2+	JESD204B 输出 2 差分
P13	输入	SERDIN2-	
P12	输入	SERDIN3+	JESD204B 输出 3 差分
P11	输入	SERDIN3-	
M14	输出	SYNCOUTB0+	JESD204B 同步输出 0 差分
M13	输出	SYNCOUTB0-	
L14	输出	SYNCOUTB1+	JESD204B 同步输出1 差分
L13	输出	SYNCOUTB1-	
M4	输入	SYNCINB0+	JESD204B 同步输出 2 差分
M3	输入	SYNCINB0-	
L4	输入	SYNCINB1+	JESD204B 同步输出 3 差分
L3	输入	SYNCINB1-	
J4	输入	RESET	电平有效的芯片复位（引脚）
J5	输出	GP_INTERRUPT	通用数字中断输出信号
J6	输入	TEST	通过 1kΩ 电阻连接至 VSSA（模拟地）
C14	输出	RBIAS	偏置电阻。需使用 1% 精度的 14.3kΩ 电阻将此引脚接地
A9	输入	RX1_IN+	主接收器 1 差分输入

A10	输入	RX1_IN-	
A6	输入	RX2_IN+	主接收器 2差分输入
A5	输入	RX2_IN-	
A13	输入	ORX1_IN+	观测接收器 1 差分输入
A12	输入	ORX1_IN-	
A2	输入	ORX2_IN+	观测接收器 2 差分输入
A3	输入	ORX2_IN-	
H14	输出	TX1_OUT+	发射器 1 差分输出
J14	输出	TX1_OUT-	
J1	输出	TX2_OUT+	发射器2 差分输出
H1	输出	TX2_OUT-	
E7	输入	REF_CLK_IN+	器件时钟差分输入
E8	输入	REF_CLK_IN-	
K3	输入	SYSREF_IN+	系统参考信号 (SYSREF) 差分输入
K4	输入	SYSREF_IN-	
B8	输出	RF_EXT_LO_I/O+	压控振荡器 (VCO) 单端输出
B7	输入	RF_EXT_LO_I/O-	外部本振 (LO) 单端输入, 输入频率需为期望载波频率的 2 倍
P1	输入	AUX_SYNTH_VTUNE	保持悬空
E10	输入	AUX_SYNTH_OUT	保持悬空
G9	输入	RF_SYNTH_VTUNE	保持悬空
F3	输入	AUXADC_0	辅助 ADC (模数转换器) 输入
F4	输入	AUXADC_1	
F11	输入	AUXADC_2	
E11	输入	AUXADC_3	
A1,A4,A7,A8 ,A11,A14,B2, B3,B4,B5,B6, B 9,B10,B11,B 12,B13,B14,	输入	VSSA	模拟供电电压

C4,C9,C11,D 3,D4,D5,D6, D7,D8,D9,D 11,D12,E6,E 9,F1,F2,F5,F6 ,F7,F8,F9,F10 ,F12,F13,F14, G1,G2,G3,G4 ,G6,G10,G11 ,G12,G13,G1 4,H2,H3,H4, H5,H6,H7,H 8,H9,H10,H1 3,J2,J13,K1,K 2,K13,K14,L1 ,L2,M2,M9,N 2,N7,N14,P2 ,P3,P10,L7,L 10			
--	--	--	--

工作原理

CBMRF9009 是一款直接变频架构的高度集成式射频收发芯片，内部集成了射频前端、数模转换、数字处理、时钟和本振模块、JESD204B 接口，能够实现射频信号到基带数字 IQ 信号的直接转换。芯片支持 2 个发射机、2 个接收机和 2 个观测接收机。支持 JESD204B subclass1 协议接口，8 lane 数据通道，每个通道最高支持 12.288 Gbps。芯片支持多种带宽、频率的灵活配置，支持快速跳频和片间相位同步，适用于多种通信系统。

频率合成器

芯片内部集成 3 个 PLL 频率合成器。1 个整数分频 BBPLL 为数字电路和接口提供时钟。2 个小数分频 RFPLL 为模拟电路提供本振（LO）。2 个 RFLO 可分配到任意 TX 或 RX 通路作为本振，也可在快速跳频时设置为乒乓切换。芯片还提供片间相位同步功能，能够完成片间数字时钟和模拟本振相位同步。

发射机

发射机部分由两个相同且独立控制的通道组成，每通道独立包含直接变频模拟前端、数模转换器、数字信号处理模块。数字信号处理模块提供数字变频、数字增益、平坦度补偿、信道滤波、镜像抑制、本振泄露抑制、插值等功能。JESD 接口送出的 IQ 数字基带信号，经过数字处理后，送给 14 位 IQ DAC 进

行采样。当转换为基带模拟信号后，经滤波器移除混叠镜像，送到正交调制器。每个发射机可以提供最大 31.5dB，以 0.5dB 为步进的模拟衰减，以优化 SNR。也提供 GPIO 控制外部衰减器，使用户配置更加灵活。发射通达可支持最大 450MHz 信号带宽，对应 491.52Msps IQ 数据率。通过数字模块中的数字 NCO 可以实现低中频模式，结合滤波器可以极大减小芯片初始化时间。

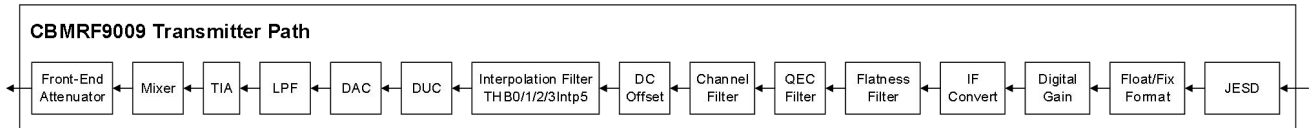


图 4 发射机路径

接收机

接收机部分由两个相同且独立控制的通道组成，每通道独立包含直接变频模拟前端、模数转换器、数字信号处理模块。每个接收机都包含一个可编程衰减器，提供最大 32dB 模拟衰减，也提供 GPIO 控制外部衰减器，配合芯片内部自动增益控制算法或者用户手动配置，帮助用户灵活地控制系统增益以优化系统性能。IQ 解调器将接收到的信号下变频到基带后进行数字化。数字信号处理模块提供数字变频、数字增益、平坦度补偿、信道滤波、镜像抑制、直流抵消、抽取等功能。通过抽取滤波器可调节输出到 JESD 接口的 IQ 数据率，用户可根据使用带宽进行配置。每 RX 通路最大支持 400M 信号带宽，对应 491.52Msps IQ 数据率。通过数字模块中的数字 NCO 可以实现低中频模式，结合滤波器可以极大减小芯片初始化时间。

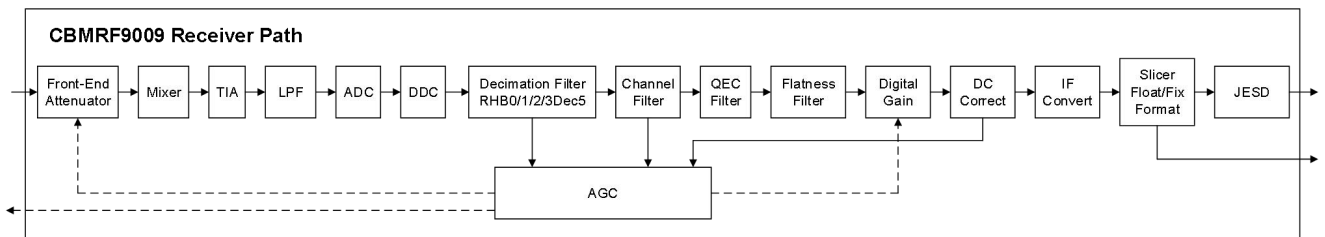


图 5 接收机路径

观测接收机

观测接收机部分由两个相同且独立控制的通道组成，每通道独立包含直接变频模拟前端、模数转换器、数字信号处理模块。每个接收机都包含一个可编程衰减器，提供最大 32dB 模拟衰减。IQ 解调器将接收到的信号下变频到基带后进行数字化。观测接收机和接收机共享模数转换器，支持 TDD 场景下接收机和观测接收机的快速切换。数字信号处理模块提供数字变频、数字增益、平坦度补偿、信道滤波、镜像抑制、直流抵消、抽取等功能。通过抽取滤波器可调节输出到 JESD 接口的 IQ 数据率，用户可根据使用带宽进行配置。每个 RX 通路最大支持 450M 信号带宽，对应 491.52Msps IQ 数据率。对于 400M 带宽，观测接收机比接收机拥有更优的带内平坦度，如果用户不使用芯片内集成的自动增益控制功能，推荐用户使用观测接收机用于系统接收通路。

封装外形及尺寸

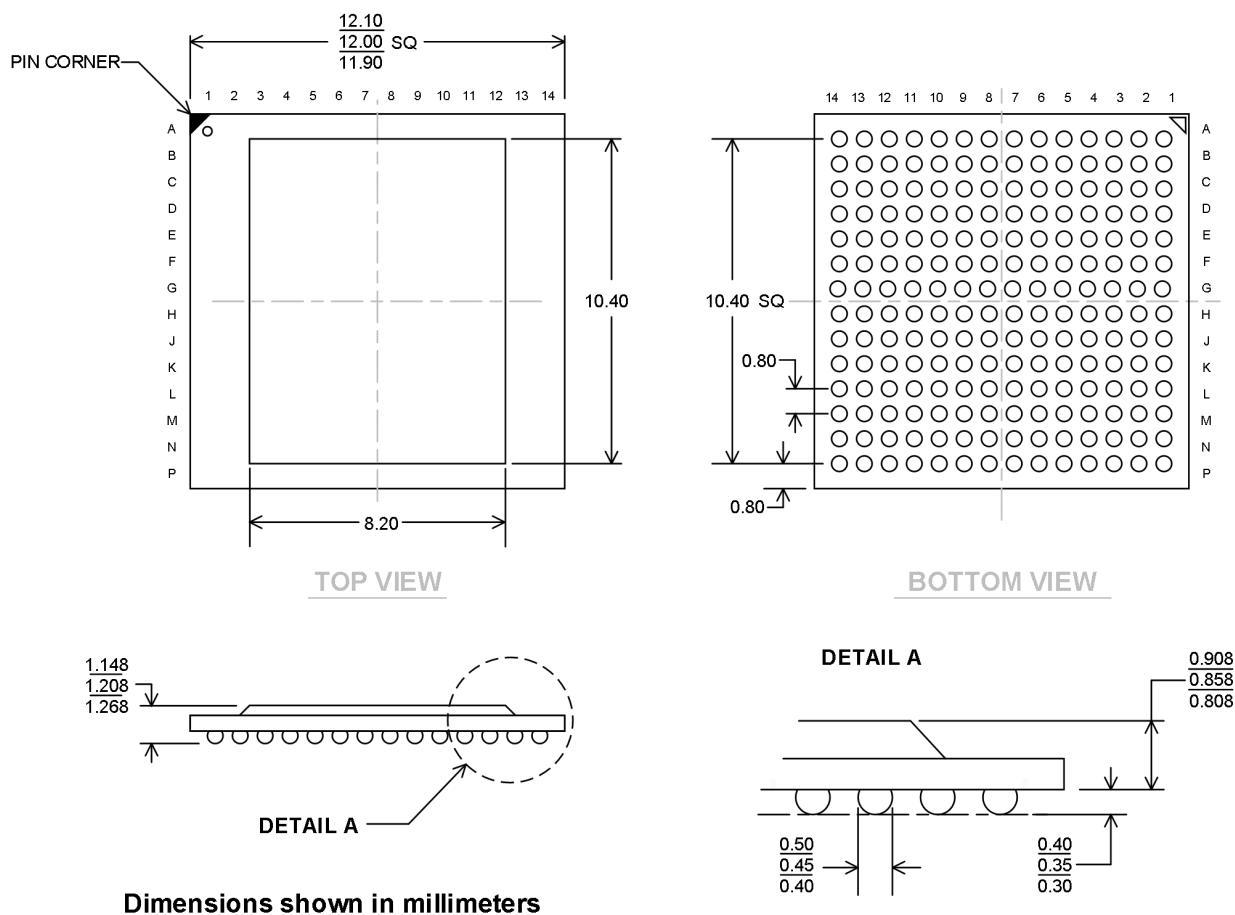


图 6 CSP_BGA-196

包装/订购信息

产品型号	订单编码	温度范围	产品封装	丝印	包装数量
CBMRF9009BG		-40°C~85°C	CSP_BGA 196		